

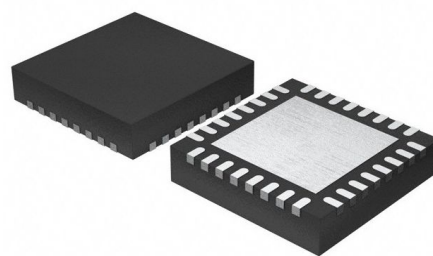
MS913/914 25-100MHz 10/12 位用于平面显示器链路III的具有直流平衡编码和双向控制通道的串化器和解串器

描述

MS913/MS914 芯片组是 25MHz~100MHz 10 位/12 位 FPD-Link III SER/DES(串化器/解串器)，它提供高速 FPD-Link III 接口和高速正向通路以及用于差分对上数据发送的双向控制通路。广泛应用于车载摄像，医疗设备，管道探测等领域。

主要特点

- 支持输入 25MHz 到 100MHz 的图像时钟
- 单个差分对互连
- 可编程数据有效负载
 - 10 位有效负载可上升到 100MHz
 - 12 位有效负载可上升到 75MHz
- 具有连续低的等待时间且支持 400KHz I²C 的双向控制接口通道
- 用于两个输入成像器间进行选择的 2:1 多路调制器
- 具有自适应电缆损耗的接收均衡器
- 4 个专用 GPI/GPO
- 锁定输出报告管脚和利用在速自测诊断单元验证连接完整性
- 串化器兼容 1.8V, 2.8V, 3.3V 并行输入口
- 1.8V 单电源供电
- 符合 ISO 10605 和 IEC 61000-4-2 ESD
- 汽车应用级别的产品: AEC-Q100 2 级
- 温度范围: -40℃至+105℃
- 小的串化器表面面积
- 降低 EMI/EMC 影响的解串器
 - 可编程扩频输出
 - 接收器交错输出



应用

- 车载摄像
- 管道探测
- 医疗内窥镜

产品规格

产 品	封 装 形 式	打印名称
MS913	WQFN32	MS913
MS914	WQFN48	MS914

内部框图

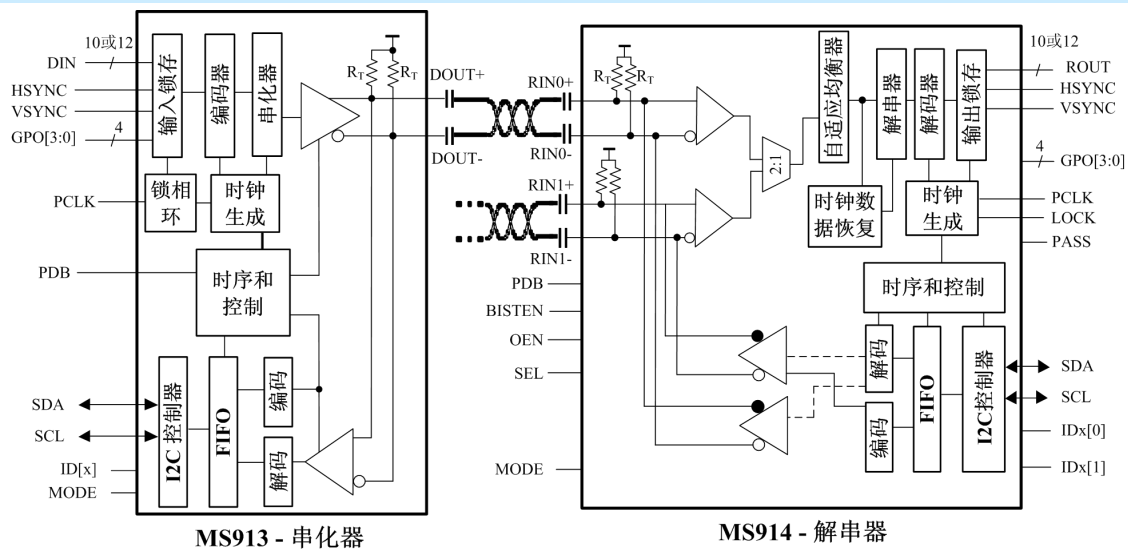


图1. MS913/914内部框图

典型的应用框图

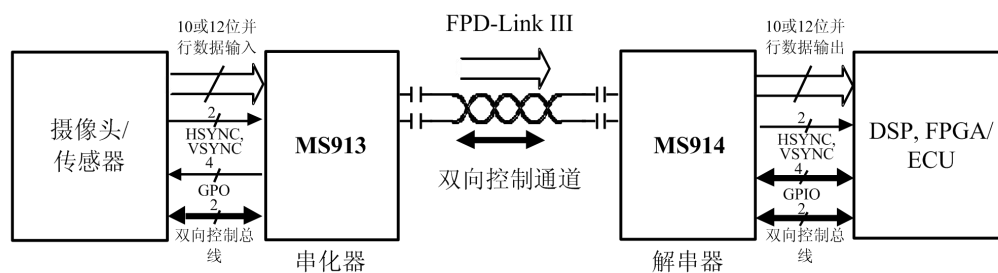


图 2. 典型的应用框图

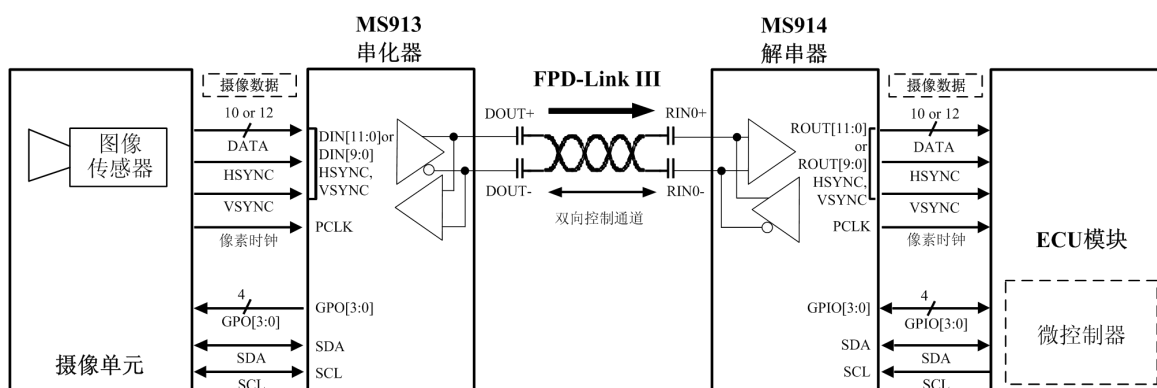
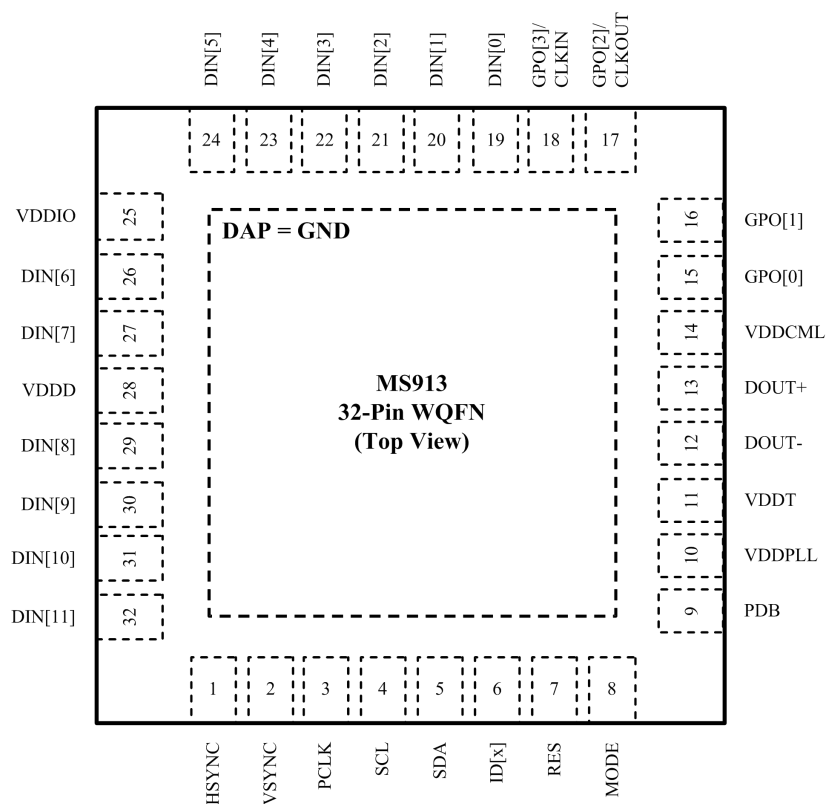


图 3. 应用模块框图

管脚描述



串化器-MS913

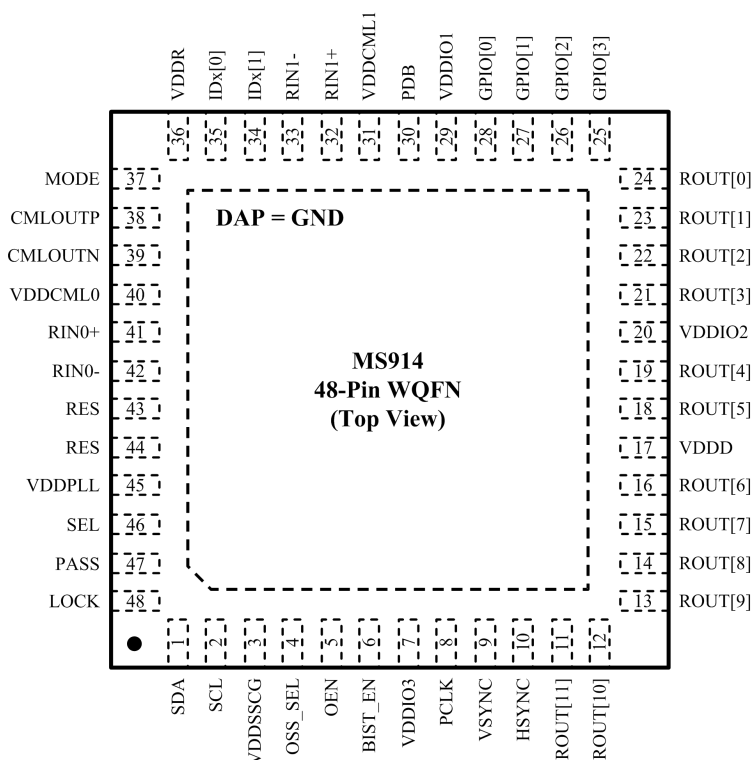
MS913 串化器管脚描述

MS913 串化器管脚描述

管脚名称	管脚号	类型	管脚描述
LVCOMS 并行接口			
DIN[0:11]	19, 20, 21, 22, 23, 24, 26, 27, 29, 30, 31, 32	I LVCMOS w/下拉	并行数据输入
HSYNC	1	I LVCMOS w/下拉	水平同步输入
VSYNC	2	I LVCMOS w/下拉	垂直同步输入
PCLK	3	I LVCMOS w/下拉	像素时钟输入脚。通过 TRFB 控制寄存器选择选通脉冲边沿。

通用输出口 (GPO)			
GPO[1:0]	16, 15	0 LVCMOS	通用输出脚可以作为输出脚；用来控制和响应各种命令。GPO[1:0]可以被来自解串器 GPIO[0:1]脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。
GPO[2]/CLKOUT	17	0 LVCMOS	GPO2 脚可以被来自解串器 GPIO2 脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。当 MS913 使用外部晶振模式时，它也能被配置为输出时钟脚。参考工作在外部分振荡器模式下，MS913/914 应用信息中详细描述。
GPO[3]/CLKIN	18	I/O LVCMOS	GPO3 脚可以被来自解串器 GPIO3 脚的输入信号配置为输出口或者配置为串化器中的本地寄存器的输出。当 MS913 使用外部晶振模式时，它也能被配置为输入时钟脚。参考工作在外部分振荡器模式下，MS913/914 应用信息中详细描述。
双向控制总线-I ² C 兼容			
SCL	4	I/O 漏极开路	双向控制总线通信的时钟线 SCL 需要一个外部上拉电阻接到 V _{DDIO} 。
SDA	5	I/O 漏极开路	双向控制总线通信的数据线 SDA 需要一个外部上拉电阻接到 V _{DDIO} 。
MODE	8	I LVCMOS w/下拉	器件模式选择 电阻到低和 10kΩ 上拉到 1.8V 电源。串化器中的 MODE 脚可用于选择系统工作的 PCLK 来自成像器或者外部振荡器。详见表 5
ID[x]	6	I 模拟	器件 ID 地址选择 ID[x]管脚可指定 I ² C 器件地址。电阻到地和 10kΩ 上拉到 1.8V 电源。详见表 7
控制和配置			
PDB	9	I LVCMOS w/下拉	掉电模式输入管脚。 PDB=H，串化器有效且工作。 PDB=L，串化器进入掉电模式。此时，PLL 关闭，IDD 最小化。控制寄存器不能被保留且复位。
RES	7	I LVCMOS w/下拉	保留。 该管脚必须接低电平。
平面显示器链路 III 接口			
DOUT+	13	I/O CML	正向差分输出，双向控制通道输入。必须通过 100nF 电容的 AC 耦合连接。
DOUT-	12	I/O CML	反向差分输出，双向控制通道输入。必须通过 100nF 电容的 AC 耦合连接。
电源和地			

VDDPLL	10	P, 模拟	PLL 电源, 1.8V±5%
VDDT	11	P, 模拟	Tx 模拟电源, 1.8V±5%
VDDCML	14	P, 模拟	CML 和双向通道驱动器电源, 1.8V±5%
VDDD	28	P, 数字	数字电源, 1.8V±5%
VDDIO	25	P, 数字	I/O 电源, 单端输入端 SDA, SCL 电源。V _{DDIO} 可以连接到 1.8V±5%或 2.8V±10%或 3.3V±10%
VSS	DAP	G, DAP	DAP 必须接地。DAP 是底部大的金属接触, 位于 WQFN 封装中央。最少通过 9 个孔连接到地。



解串器-MS914

MS914 解串器管脚描述

MS914 解串器管脚描述

管脚名称	管脚号	类型	管脚描述
LVCOMS 并行接口			
ROUT[0:11]	11, 12, 13, 14, 15, 16, 18, 19, 21, 22, 23, 24	0 LVCMOS	并行数据输出
HSYNC	10	0 LVCMOS	水平同步输出
VSYNC	9	0 LVCMOS	垂直同步输出

PCLK	8	0 LVCMOS	像素时钟输出脚。 通过 TRFB 控制寄存器选择选通脉冲边沿。
通用输入/输出口 (GPIO)			
GPIO[1:0]	27, 28	数字I/O LVCMOS	通用输入/输出脚能用来控制和响应各种命令。它们可以被来自相应串化器上的 GP0 脚配置为输入信号或者被本地寄存器设置为后续输出。
GPIO[3:2]	25, 26	数字I/O LVCMOS	通用输入/输出脚 GPIO[2:3]能被来自解串器上的 GP0 脚配置为输入信号。另外，它们也可能被本地寄存器设置为后续输出。当 SerDes 芯片组通过外部振荡器工作，这些管脚只能被配置为本地寄存器设置的后续输出。
双向控制总线-I ² C 兼容			
SCL	2	I/O 漏极开路	双向控制总线通信的时钟线 SCL 需要一个外部上拉电阻接到 V _{DDIO} 。
SDA	1	I/O 漏极开路	双向控制总线通信的数据线 SDA 需要一个外部上拉电阻接到 V _{DDIO} 。
MODE	37	I LVCMOS w/下拉	器件模式选择 电阻到低和 10k Ω 上拉到 1.8V 电源。串化器中的 MODE 脚可用于选择串化器和解串器工作在不同的输入 PCLK 范围。详见表 2。 12 位低频模式 (25–50MHz)： 该模式下，串化器和解串器能接收最高 12 位数据+2 个同步信号。输入 PCLK 范围为 25–50MHz。 12 位高频模式 (37.5–75MHz)： 该模式下，串化器和解串器能接收最高 12 位数据+2 个同步信号。输入 PCLK 范围为 37.5–75MHz。 10 位模式 (50–100MHz)： 该模式下，串化器和解串器能接收最高 10 位数据+2 个同步信号。输入 PCLK 范围为 50–100MHz。 参考应用信息部分表 6 中关于如何配置解串器中的 MODE 脚。
IDx[0:1]	35, 34	I, 模拟	解串器的 IDx[0] 和 IDx[1] 管脚可指定 I²C 器件地址。电阻到地和 10k Ω 上拉到 1.8V 电源。详见表 8 输入脚用于选择从器件地址。 配置器件 ID 地址，输入连接到电阻分压器上。
控制和配置			
PDB	30	I LVCMOS w/下拉	掉电模式输入管脚。 PDB=H，解串器有效且工作。 PDB=L，解串器进入睡眠模式（掉电模式）。此时，控制寄存器不能被保留且复位。

LOCK	48	0 LVCMOS	LOCK 状态输出管脚 LOCK=H, PLL 锁定, 输出有效 LOCK=L, PLL 未锁定, ROUT 和 PCLK 输出状态由 OSS_SEL 控制寄存器控制。也可用于连接状态。
BISTEN	6	I LVCMOS w/下拉	BIST 使能管脚 BISTEN=H, BIST 模式有效 BISTEN=L, BIST 模式无效
PASS	47	0 LVCMOS	BIST 模式下 PASS 输出管脚 PASS=H, 传输无错误 PASS=L, 接收负载检测到一个或多个错误。 详见自检测测试。如不使用可开路。推荐为测试路径。
OEN	5	I LVCMOS w/下拉	输出使能输入管脚 参考表 9
OSS_SEL	4	I LVCMOS w/下拉	输出休眠状态选择管脚 参考表 9
SEL	46	I LVCMOS w/下拉	MUX 选择线 SEL=L, RIN0+/-输入。这可以令输入 A 为解串器的有效通道。 SEL=H, RIN1+/-输入。这可以令输入 B 为解串器的有效通道。
平面显示器链路 III 接口			
RIN0+	41	I/O CML	正向差分输入, 双向控制通道输出。必须通过 100nF 电容的 AC 耦合连接。
RIN0-	42	I/O CML	反向差分输入, 双向控制通道输出。必须通过 100nF 电容的 AC 耦合连接。
RIN1+	32	I/O CML	正向差分输入, 双向控制通道输出。必须通过 100nF 电容的 AC 耦合连接。
RIN1-	33	I/O CML	反向差分输入, 双向控制通道输出。必须通过 100nF 电容的 AC 耦合连接。
RES	43, 44	-	保留。该管脚必须接低电平。
CMLOUTP/N	38, 39		测试点路径, 不使用可开路
电源和地			
VDDI01/2/3	29, 20, 7	P, 数字	LVCMOS I/O 缓冲器电源, 为单端输出端和控制输入端提供电源。 V_{DDI0} 可以连接到 $1.8V \pm 5\%$ 或 $3.3V \pm 10\%$
VDDD	17	P, 数字	数字电源, $1.8V \pm 5\%$
VDDSSCG	3	P, 模拟	SSCG 模拟电源, $1.8V \pm 5\%$
VDDR	36	P, 模拟	Rx 模拟电源, $1.8V \pm 5\%$
VDDCML0/1	40, 31	P, 模拟	CML 和双向通道驱动器电源, $1.8V \pm 5\%$

VDDPLL	45	P, 模拟	PLL 电源, $1.8V \pm 5\%$
VSS	DAP	G, DAP	DAP 必须接地。DAP 是底部大的金属接触, 位于 WQFN 封装中央。最少通过 9 个孔连接到地。

极限参数⁽¹⁾

供电电压- V_{DDn} (1.8V)		-0.3V~+2.5V
供电电压- V_{DDIO}		-0.3V~+4.0V
LVCMOS 输入电压 I/O 电压		-0.3V~+ ($V_{DDIO}+0.3V$)
CML 驱动器 I/O 电压 (V_{DD})		-0.3V~+ ($V_{DD}+0.3V$)
CML 接收器 I/O 电压 (V_{DD})		-0.3V~+ ($V_{DD}+0.3V$)
结温度		+150°C
存储温度		-65°C~+150°C
最大封装功耗容量封装		1/ θ_{JA} °C/W +25°以上
封装减额: MS913 32 引脚 WQFN	θ_{JA} (基于 16 个热孔)	38.4 °C/W
	θ_{JC} (基于 16 个热孔)	6.9 °C/W
MS914 48 引脚 WQFN	θ_{JA} (基于 16 个热孔)	26.9 °C/W
	θ_{JC} (基于 16 个热孔)	4.4 °C/W
ESD 等级 (IEC 61000-4-2)		$R_D=330\Omega$, $C_S=150pF$
空气放电 (DOUT+, DOUT-, RIN+, RIN-)		$\geq \pm 25kV$
接触放电 (DOUT+, DOUT-, RIN+, RIN-)		$\geq \pm 7kV$
ESD 等级 (ISO 10605)		$R_D=330\Omega$, $C_S=150/330pF$
ESD 等级 (ISO 10605)		$R_D=2K\Omega$, $C_S=150/330pF$
空气放电 (DOUT+, DOUT-, RIN+, RIN-)		$\geq \pm 15kV$
接触放电 (DOUT+, DOUT-, RIN+, RIN-)		$\geq \pm 8kV$
ESD 等级 (HBM)		$\geq \pm 8kV$
ESD 等级 (CDM)		$\geq \pm 1kV$
ESD 等级 (MM)		$\geq \pm 250V$

(1) “极限参数”指的是超过这个值可能会对器件造成损害，包括器件可靠性和性能的下降。在极限参数或者其他超出推荐工作条件下，器件功能正常的不包括在内。推荐的工作条件指的是器件功能正常的工作条件，器件不应该工作在这些条件之外。

推荐工作条件

		最小值	典型值	最大值	单位
供电电压 (V_{DDn})		1.71	1.8	1.89	V
LVC MOS 供电电压 (V_{DDIO})		1.71	1.8	1.89	V
LVC MOS 供电电压 (V_{DDIO})		3.0	3.3	3.6	V
LVC MOS 供电电压 (V_{DDIO}) 仅并串转化器		2.52	2.8	3.08	V
电源噪声 ⁽¹⁾	V_{DDn} (1.8V)			25	mVp-p
	V_{DDIO} (1.8V)			25	mVp-p
	V_{DDIO} (3.3V)			50	mVp-p
真空工作温度 (T_A)		-40	+25	+105	°C
PCLK 时钟频率		10		100	MHz

(1) 在 PCB 上使用最小的电容进行电源噪声测试(如图 44、46)。一个 25mVp-p 正弦信号交流耦合到 V_{DDn} (1.8V)。当串化器的电源噪声频率小于 1MHz，串化器的输入和解串器的输出的 10 米电缆位误差率测试显示不存在误差。另一方面，当电源噪声频率小于 750KHz，解串器无误差。

电气特性 ⁽¹⁾ ⁽²⁾ ⁽³⁾

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	最小值	典型值	最大值	单位
LVCMOS 直流规格 3.3V I/O (串化器输入, 解串器输出, GPI, GPO, 控制端输入和输出)						
V_{IH}	高电平输入电压	$V_{IN}=3.0V\sim 3.6V$	2.0		V_{IN}	V
V_{IL}	低电平输入电压	$V_{IN}=3.0V\sim 3.6V$	GND		0.8	V
I_{IN}	输入电流	$V_{IN}=0V$ 或 $3.6V$ $V_{IN}=3.0V\sim 3.6V$	-20	± 1	+20	μA
V_{OH}	高电平输出电压	$V_{DDIO}=3.0V\sim 3.6V$ $I_{OH}=-4mA$	2.4		V_{DDIO}	V
V_{OL}	低电平输出电压	$V_{DDIO}=3.0V\sim 3.6V$ $I_{OL}=+4mA$	GND		0.4	V
I_{OS}	输出短路电流	$V_{OUT}=0V$ 串化器 GPO 输出		-15		mA
		解串器 LVCMOS 输出		-35		
I_{OZ}	三态输出电流	$PDB=0V$, $V_{OUT}=0V$ 或 V_{DD}	-20		+20	μA
LVCMOS 直流规格 1.8V I/O (串化器输入, 解串器输出, GPI, GPO, 控制端输入和输出)						
V_{IH}	高电平输入电压	$V_{IN}=1.71V\sim 1.89V$	$0.65V_{IN}$		V_{IN}	V
V_{IL}	低电平输入电压	$V_{IN}=1.71V\sim 1.89V$	GND		$0.35V_{IN}$	V
I_{IN}	输入电流	$V_{IN}=0V$ 或 $1.89V$ $V_{IN}=1.71V\sim 1.89V$	-20	± 1	+20	μA
V_{OH}	高电平输出电压	$V_{DDIO}=1.71V\sim 1.89V$ $I_{OH}=-4mA$	$V_{DDIO}-0.45$		V_{DDIO}	V
V_{OL}	低电平输出电压	$V_{DDIO}=1.71V\sim 1.89V$ $I_{OL}=+4mA$	GND		0.45	V
I_{OS}	输出短路电流	$V_{OUT}=0V$ 串化器 GPO 输出		-11		mA
		解串器 LVCMOS 输出		-17		
I_{OZ}	三态输出电流	$PDB=0V$, $V_{OUT}=0V$ 或 V_{DD}	-20		+20	μA
LVCMOS 直流规格 2.8V I/O (串化器输入, GPI, GPO, 控制端输入和输出)						
V_{IH}	高电平输入电压	$V_{IN}=2.52V\sim 3.08V$	$0.7V_{IN}$		V_{IN}	V
V_{IL}	低电平输入电压	$V_{IN}=2.52V\sim 3.08V$	GND		$0.3V_{IN}$	V
I_{IN}	输入电流	$V_{IN}=0V$ 或 $3.08V$ $V_{IN}=2.52V\sim 3.08V$	-20	± 1	+20	μA

V _{OH}	高电平输出电压	V _{DDIO} =2.52V~3.08V I _{OH} =-4mA		V _{DDIO} -0.4		V _{DDIO}	V
V _{OL}	低电平输出电压	V _{DDIO} =2.52V~3.08V I _{OL} =+4mA		GND		0.4	V
I _{OS}	输出短路电流	V _{OUT} =0V	串化器 GPO 输出		-11		mA
			解串器 LVCMOS 输出		-20		
I _{OZ}	三态输出电流	PDB=0V, V _{OUT} =0V 或 V _{DD}	LVC MOS 输出	-20		+20	μA
CML 驱动器直流规范 (DOUT+, DOUT-)							
V _{ODp-p}	差分输出电压	R _L =100Ω (图 8)		268	340	412	mV
V _{OD}	单端输出电压	R _L =50Ω (图 8)		268	340	412	mV
ΔV _{OD}	非平衡差分输出电压	R _L =100Ω			1	50	mV
V _{OS}	输出电压偏移	R _L =100Ω (图 8)			V _{DD} - V _{OD} /2		V
ΔV _{OS}	非平衡失调电压	R _L =100Ω			1	50	mV
I _{OS}	短路输出电流	DOUT+/- =0V			-26		mA
R _T	差分内部端子电阻	DOUT+和 DOUT-的差		80	100	120	Ω
CML 接收器直流规格 (RIN0+, RIN0-, RIN1+, RIN1-)							
I _{IN}	输入电流	V _{IN} =V _{DD} 或 0V, V _{DD} =1.89V		-20	1	+20	μA
R _T	差分内部端子电阻	RIN+和 RIN-的差		80	100	120	Ω
CML 接收器交流规格 (RIN0+, RIN0-, RIN1+, RIN1-)							
V _{swing}	1010 模式下允许的最小摆幅 ⁽⁴⁾	线速率=1.4Gbps (图 10)		135			mV
CML 监视器输出驱动器规格 (CMLOUTP, CMLOUTPN)							
E _W	差分输出眼图的宽度	R _L =100Ω 抖动频率>f/40 (图 19)			0.45		UI
E _H	差分输出眼图的高度				200		mV
串化器/解串器电源电流*数字, PLL 和模拟电源							

I _{DDT}	串化器(Tx) V _{DDn} 电源电流 (包括负载电流)	R _L =100Ω 最坏情况 (图 5)	V _{DDn} =1.89V V _{DDIO} =3.6V f=100MHz, 10 位模式 默认寄存器值		61	80	mA
			V _{DDn} =1.89V V _{DDIO} =3.6V f=75MHz, 12 位高频模式 默认寄存器值		61	80	mA
			V _{DDn} =1.89V V _{DDIO} =3.6V f=50MHz, 12 位低频模式 默认寄存器值		61	80	mA
		R _L =100Ω PRBS-7 模式	V _{DDn} =1.89V V _{DDIO} =3.6V f=100MHz, 10 位模式 默认寄存器值		54		mA
			V _{DDn} =1.89V V _{DDIO} =3.6V f=75MHz, 12 位高频模式 默认寄存器值		54		mA
			V _{DDn} =1.89V V _{DDIO} =3.6V f=50MHz, 12 位低频模式 默认寄存器值		54		mA
I _{DDIOT}	串化器(Tx) V _{DDIO} 电源电流 (包括负载电流)	R _L =100Ω 最坏情况 (图 5)	V _{DDIO} =1.89V f=75MHz, 12 位高频模式 默认寄存器值		1.5	3	mA
			V _{DDIO} =3.6V f=75MHz, 12 位高频模式 默认寄存器值		5	8	mA
I _{DDTZ}	掉电模式下 串化器(Tx)	PDB=0V; 所 有 LVCMOS	V _{DDIO} =1.89V 默认寄存器值		300	900	μA

	电源电流	输入=0V	V _{DDIO} =3.6V 默认寄存器值		300	900	μA
I _{DDIOTZ}	掉电模式下 串化器(Tx) V _{DDIO} 电源电流	PDB=0V; 所 有 LVCMOS 输入=0V	V _{DDIO} =1.89V 默认寄存器值		15	100	μA
			V _{DDIO} =3.6V 默认寄存器值		15	100	μA
I _{DDIOR}	解串器(Rx) 总电源电流 (包括负载电流)	V _{DDIO} =1.89V C _L =8pF 最坏情况	f=100MHz, 10 位模式		22	42	mA
			f=75MHz, 12 位高频模式		19	39	
			f=50MHz, 12 位低频模式		21	32	
		V _{DDIO} =1.89V C _L =8pF 随机模式	f=100MHz, 10 位模式		15		mA
			f=75MHz, 12 位高频模式		12		
			f=50MHz, 12 位低频模式		14		
		V _{DDIO} =3.6V C _L =8pF 最坏情况	f=100MHz, 10 位模式		42	55	mA
			f=75MHz, 12 位高频模式		37	50	
			f=50MHz, 12 位低频模式		25	38	
		V _{DDIO} =3.6V C _L =8pF 随机模式	f=100MHz, 10 位模式		35		mA
			f=75MHz, 12 位高频模式		30		
			f=50MHz, 12 位低频模式		18		
		V _{DDIO} =1.89V C _L =4pF 最坏情况	f=100MHz, 10 位模式		15		mA
			f=75MHz, 12 位高频模式		11		
			f=50MHz, 12 位低频模式		16		
		V _{DDIO} =1.89V C _L =4pF 随机模式	f=100MHz, 10 位模式		8		mA
			f=75MHz, 12 位高频模式		4		

			f=50MHz, 12 位低频模式		9		mA
		V _{DDIO} =3.6V C _L =4pF 最坏情况	f=100MHz, 10 位模式		36		
			f=75MHz, 12 位高频模式		29		
			f=50MHz, 12 位低频模式		20		
		V _{DDIO} =3.6V C _L =4pF 随机模式	f=100MHz, 10 位模式		29		mA
			f=75MHz, 12 位高频模式		22		
			f=50MHz, 12 位低频模式		13		
		I _{DDR}	解串器(Rx) V _{DDn} 电源电流 (包括负载电流)	V _{DDn} =1.89V C _L =4pF 最坏情况	f=100MHz, 10 位模式		64
f=75MHz, 12 位高频模式					67	114	
f=50MHz, 12 位低频模式					63	96	
V _{DDn} =1.89V C _L =4pF 随机模式	f=100MHz, 10 位模式				57		mA
	f=75MHz, 12 位高频模式				60		
	f=50MHz, 12 位低频模式				56		
I _{DDRZ}	掉电模式下 解串器(Rx) 电源电流	PDB=0V; 所有 LVC MOS 输入=0V	V _{DDIO} =1.89V 默认寄存器值		42	400	μA
		PDB=0V; 所有 LVC MOS 输入=0V	V _{DDIO} =1.89V 默认寄存器值		42	400	
I _{DDIORZ}	掉电模式下 解串器(Rx) V _{DDIO} 电源电流	PDB=0V; 所有 LVC MOS 输入=0V	V _{DDIO} =1.89V		8	40	μA
			V _{DDIO} =3.6V		360	800	

推荐的串化器 PCLK 时序⁽¹⁾

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	管脚/频率	最小值	典型值	最大值	单位
t _{TCP}	传输时钟周期	10 位模式		10	T	20	ns
		12 位高频模式		13.33	T	26.66	ns
		12 位低频模式		20	T	40	ns
t _{CIH}	传输时钟输入高电平时间			0.4T	0.5T	0.6T	ns
t _{CIL}	传输时钟输入低电平时间			0.4T	0.5T	0.6T	ns
t _{CLKT}	PCLK 输入转换时间（图 11）	50MHz-100MHz 10 位模式		0.05T	0.25T	0.3T	ns
		37.5MHz-75MHz 12 位高频模式		0.05T	0.25T	0.3T	ns
		25MHz-50MHz 12 位低频模式		0.05T	0.25T	0.3T	ns
t _{JIT0}	PCLK 输入抖动（来自成像器的 PCLK）	抖动频率 > f/40	f=25-100MHz		0.1T		ns
t _{JIT1}	PCLK 输入抖动（外部晶振模式）	抖动频率 > f/40	f=25-100MHz		1T		ns
t _{JIT2}	外部晶振抖动				0.1		UI

(1) 推荐的输入时序要求即为输入规格，未在产品中测试。

串化器转换特性

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	最小值	典型值	最大值	单位
t_{LHT}	CML 低到高转换时间	$R_L=100\Omega$ (图 6)		150	330	ps
t_{HLT}	CML 高到低转换时间	$R_L=100\Omega$ (图 6)		150	330	ps
t_{DIS}	数据输入到 PCLK 的建立时间	解串器数据输入 (图 12)	2			ns
t_{DIH}	PCLK 到数据输入的保持时间		2			ns
t_{PLD}	串化器 PLL 锁定时间	$R_L=100\Omega^{(1)(2)}$ (图 13)		1	2	ms
t_{SD}	串化器延迟 ⁽²⁾	$R_L=100\Omega$ 10 位模式 寄存器 0x03h b[0](TRFB=1) (图 14)	32.5T	38T	44T	ns
		$R_L=100\Omega$ 12 位模式 寄存器 0x03h b[0](TRFB=1) (图 14)	11.75T	13T	15T	ns
t_{JIND}	串化器输出的绝对抖动	串化器输出内在的绝对抖动。通过 PRBS-7 测试模式进行检测(周期-周期) ⁽³⁾⁽⁴⁾		0.13		UI
t_{JINR}	串转换器输出的随机抖动	串化器输出内在的随机抖动(周期-周期)。翻转的 1,0 模式 ⁽³⁾⁽⁴⁾		0.04		UI
t_{JINT}	串化器输出抖动峰峰值	串化器输出峰峰值抖动包括绝对抖动，随机抖动和来自串化器输入的抖动。通过 PRBS-7 测试模式进行检测(周期-周期) ⁽³⁾⁽⁴⁾		0.396		UI
λ_{STXBW}	串化器抖动传输函数-3dB 带宽 ⁽⁵⁾	PCLK=100MHz 10 位模式。默认寄存器值		2.2		MHz
		PCLK=75MHz 12 位高频模式。默认寄存器值		2.2		
		PCLK=50MHz 12 位低频模式。默认寄存器值		2.2		

δ_{STX}	串化器抖动传输函数（峰值） ⁽⁵⁾	PCLK=100MHz 10 位模式。默认寄存器值		1.06		dB
		PCLK=75MHz 12 位高频模式。默认寄存器值		1.09		
		PCLK=50MHz 12 位低频模式。默认寄存器值		1.16		
δ_{stxf}	串化器抖动传输函数（峰值频率） ⁽⁵⁾	PCLK=100MHz 10 位模式。默认寄存器值		400		kHz
		PCLK=75MHz 12 位高频模式。默认寄存器值		500		
		PCLK=50MHz 12 位低频模式。默认寄存器值		600		

(1) t_{PLD} 和 $t_{\text{DDL,T}}$ 指的是当 PCLK 有效情况下出现断电状态时，串化器和解串器达到锁定需要的时间。

(2) 指标由设计确定。

(3) 典型值表示在 1.8V 或 3.3V, $T_A=+25^\circ\text{C}$ 和推荐工作条件及产品特性未被指定情况下最可能的参数标准。

(4) UI-单位间隔等于一个理想串化的数据位宽。UI 以 PCLK 频率为标尺。

(5) 指标由特性参数确定，未在产品中测试。

解串器转换特性

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	管脚/频率	最小值	典型值	最大值	单位
t _{RCP}	接收器输出时钟周期	10 位模式	PCLK(图 18)	10		50	ns
		12 位高频模式		13.33		66.66	
		12 位低频模式		10		100	
t _{PDC}	PCLK 占空比	10 位模式	PCLK	45	50	55	%
		12 位高频模式		45	50	55	
		12 位低频模式		45	50	55	
t _{CLH}	LVC MOS 低到高转换时间	V _{DDIO} : 1.71V-1.89V 或 3.0V-3.6V, C _L =8pF (集中负载) 默认寄存器值 (图 16) ⁽¹⁾	PCLK	1.3	2	2.8	ns
t _{CHL}	LVC MOS 高到低转换时间			1.3	2	2.8	
t _{CLH}	LVC MOS 低到高转换时间	V _{DDIO} : 1.71V-1.89V 或 3.0V-3.6V, C _L =8pF (集中负载) 默认寄存器值 (图 16) ⁽¹⁾	ROUT[11:0], HS, VS	1	2.5	4	ns
t _{CHL}	LVC MOS 高到低转换时间			1	2.5	4	
t _{ROS}	数据从 ROUT 到 PCLK 的建立时间	V _{DDIO} : 1.71V-1.89V 或 3.0V-3.6V, C _L =8pF (集中负载) 默认寄存器值 (图 18)	ROUT[11:0], HS, VS	0.38T	0.5T		ns
t _{ROH}	数据从 ROUT 到 PCLK 的保持时间			0.38T	0.5T		
t _{DD}	解串器延迟	默认寄存器值 寄存器 0x03h b[0](TRFB=1) (图 17) ⁽¹⁾	10 位模式	154T		158T	ns
			12 位低频模式	109T		112T	
			12 位高频模式	73T		75T	
t _{DDL T}	解串器数据锁定时间	自适应均衡器 (图 15)	10 位模式		15	22	ms
			12 位低频模式		15	22	
			12 位高频模式		15	22	
t _{R CJ}	接收器时钟抖动	PCLK SSCG[3:0]=OFF ⁽¹⁾	10 位模式 PCLK=100MHz		20	30	ps
			12 位低频模式 PCLK=50MHz		22	35	

			12 位高频模式 PCLK=75MHz		45	90	
t _{DPI}	解串器周期抖动	PCLK SSCG[3:0]=OFF ⁽²⁾⁽¹⁾	10 位模式 PCLK=100MHz		170	815	ps
			12 位低频模式 PCLK=50MHz		180	330	
			12 位高频模式 PCLK=75MHz		330	515	
t _{DCCI}	解串器周期到周期时钟抖动	PCLK SSCG[3:0]=OFF ⁽³⁾⁽¹⁾	10 位模式 PCLK=100MHz		440	1760	ps
			12 位低频模式 PCLK=50MHz		460	730	
			12 位高频模式 PCLK=75MHz		565	985	
f _{dev}	扩频时钟偏移频率	LVC MOS 输出总线 SSCG[3:0]=ON(图	25MHz-100MHz		±0.5- ±1.5		%
f _{mod}	扩频时钟调制频率	23) ⁽²⁾⁽¹⁾	25MHz-100MHz		5-50		kHz

(1) 指标由特性参数保证，未在产品中测试。

(2) t_{DPI} 是测试的 30,000 个样本中允许偏离的最大的周期。

(3) t_{DCCI} 是测试的 30,000 个样本中相邻时钟周期期间的最大的抖动。

交流时序规格（SCL, SDA）-I²C 接口适应

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
f _{SCL}	SCL 时钟频率	标准模式	>0		100	kHZ
		快速模式	>0		400	kHZ
t _{LOW}	SCL 低电平周期	标准模式	4.7			μs
		快速模式	1.3			μs
t _{HIGH}	SCL 高电平周期	标准模式	4.0			μs
		快速模式	0.6			μs
t _{HD:STA}	起始条件或重复起始条件的保持时间	标准模式	4.0			μs
		快速模式	0.6			μs
t _{SU:STA}	起始条件或重复起始条件的建立时间	标准模式	4.7			μs
		快速模式	0.6			μs
t _{HD:DAT}	数据保持时间	标准模式	0		3.45	μs
		快速模式	0		900	μs
t _{SU:DAT}	数据建立时间	标准模式	250			μs
		快速模式	100			μs
t _{SU:STO}	停止条件的建立时间	标准模式	4.0			μs
		快速模式	0.6			μs
t _{BUF}	停止和起始间的总线空闲时间	标准模式	4.7			μs
		快速模式	1.3			μs
t _r	SCL 和 SDA 上升时间	标准模式			1000	ns
		快速模式			300	ns
t _f	SCL 和 SDA 下降时间	标准模式			300	ns
		快速模式			300	ns

双向控制总线直流时序规格（SCL, SDA）-I²C 适应⁽¹⁾

如无特别说明，以下参数在推荐的工作条件下测得。

符号	参数	条件	最小值	典型值	最大值	单位
推荐的输入时序要求						
V _{IH}	输入高电平	SDA 和 SCL	0.7*V _{DDIO}		V _{DDIO}	V
V _{IL}	输入低电平	SDA 和 SCL	GND		0.3*V _{DDIO}	V
V _{HY}	输入迟滞			>50		mV
V _{OL}	输出低电平	SDA, I _{OL} =0.5mA	0		0.4	V
I _{IN}	输入电流	SDA 或 SCL, V _{IN} =V _{DDOP} 或 GND	-10		10	μA
t _R	SDA 上升时间-读	SDA, RPU=10kΩ, Cb≤400pF 图 4		430		ns
t _F	SDA 下降时间-读			20		ns
t _{SU:DAT}		见图 4		560		ns
t _{HD:DAT}		见图 4		615		ns
t _{SP}				50		ns
C _{IN}		SDA 或 SCL		<5		pF

(1) 指标由设计确定。

AC 时序图和测试电路

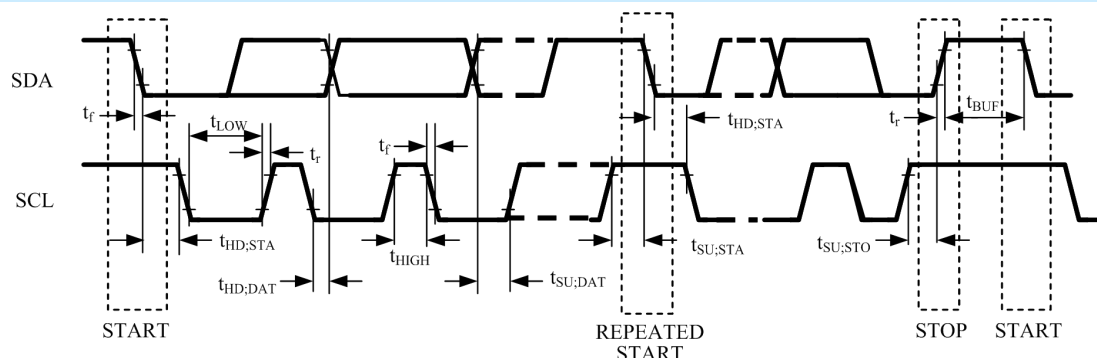


图 4.双向控制总线时序

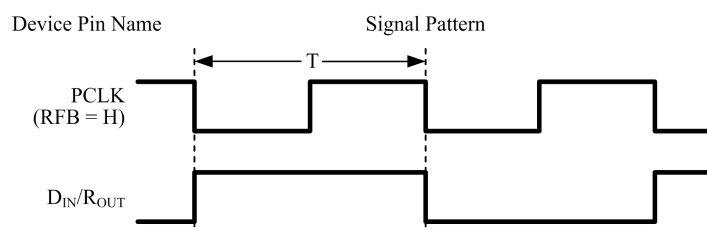


图 5. “最坏情况”测试模式

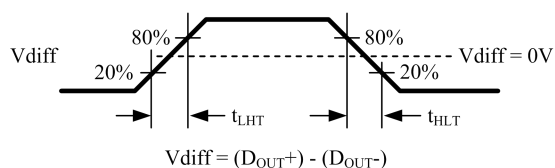


图 6.串化器 CML 转换时间

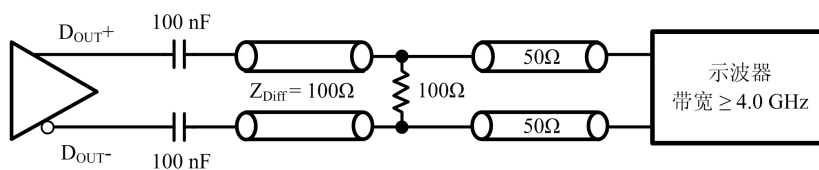


图 7.串化器 CML 输出负载

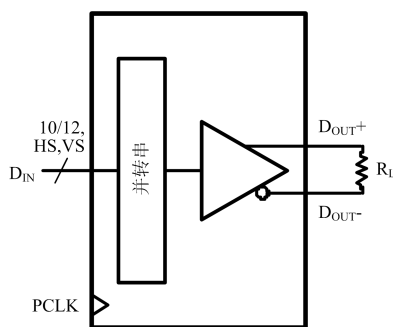


图 8.串化器 VOD 框图

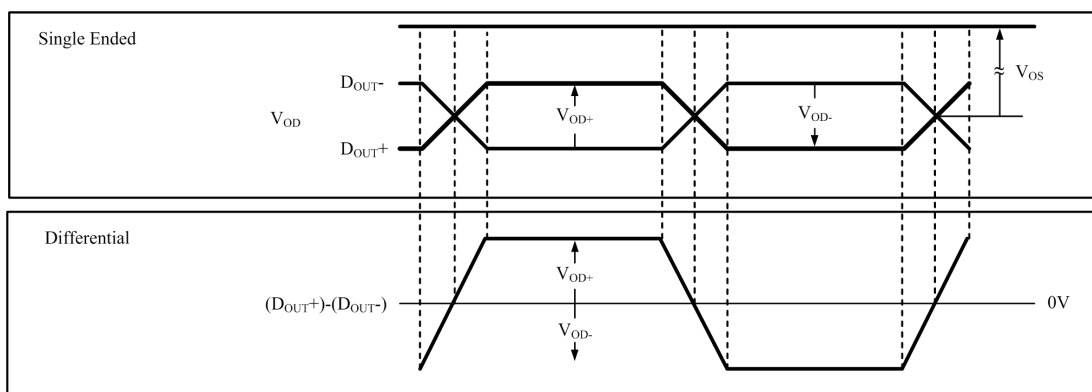


图 9.差分 VOD 图

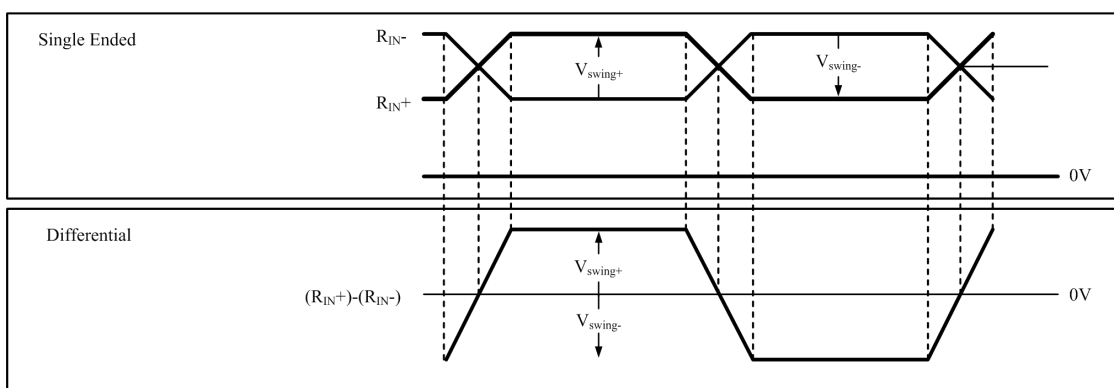


图 10.差分 Vswing 图

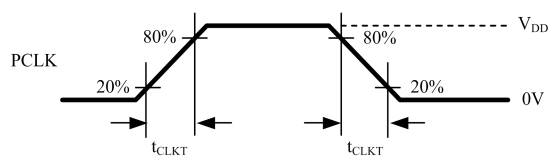


图 11.串化器输入时钟转换时间

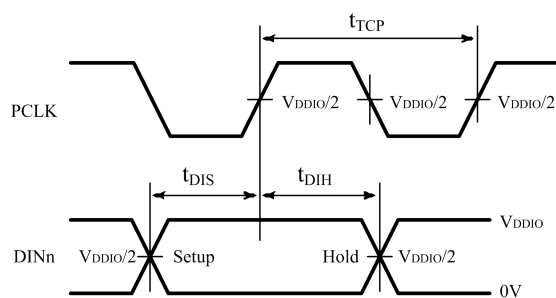


图 12.串化器建立/保持时间

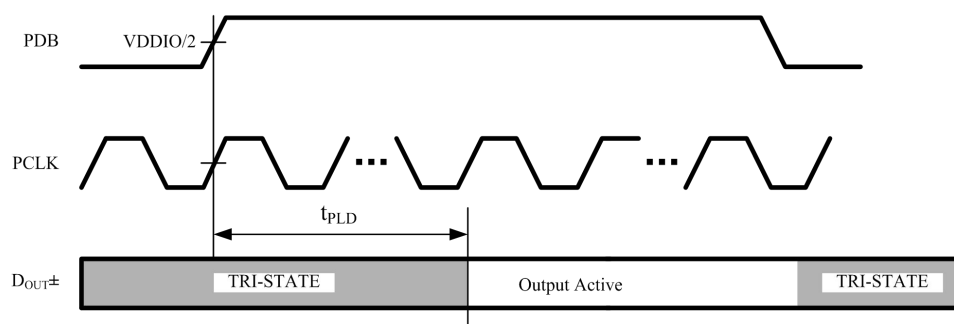


图 13. 串化器 PLL 锁定时间

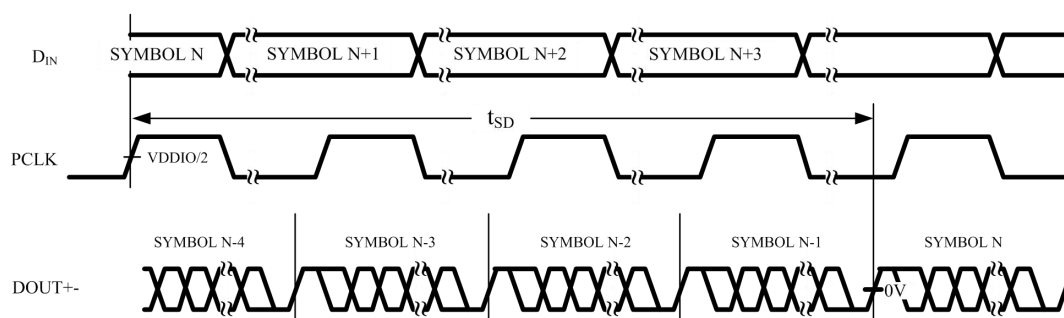


图 14. 串化器延时

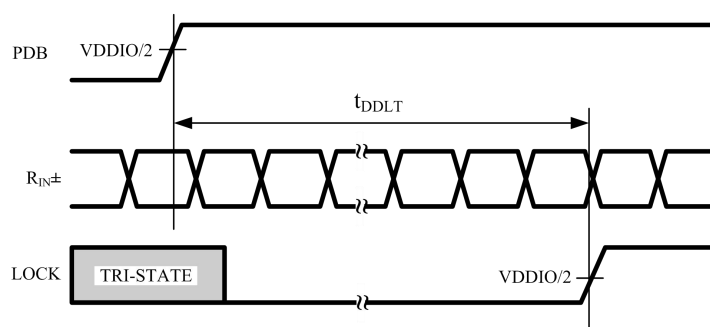


图 15. 解串器数据锁定时间

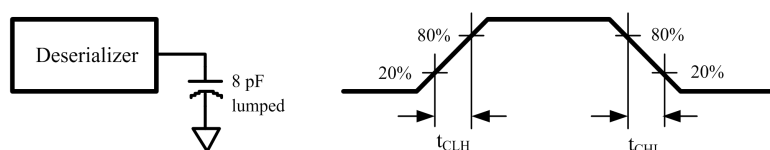


图 16. 解串器 LVCMOS 输出负载和转换时间

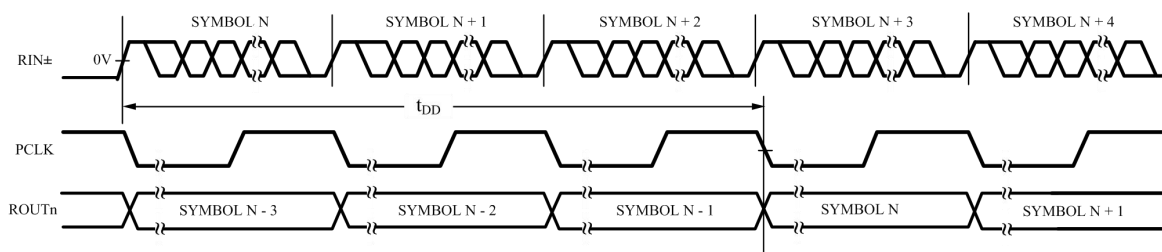


图 17. 解串器延时

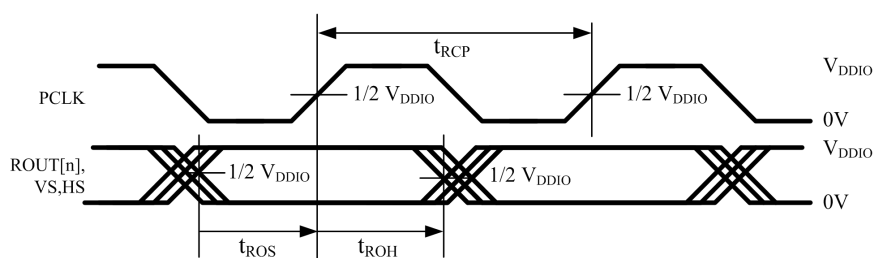


图 18.解串器输出建立/保持时间

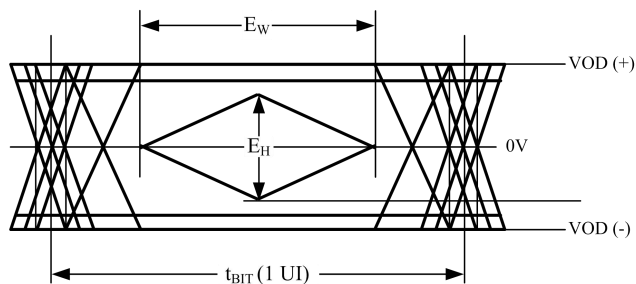


图 19.CML 输出驱动器

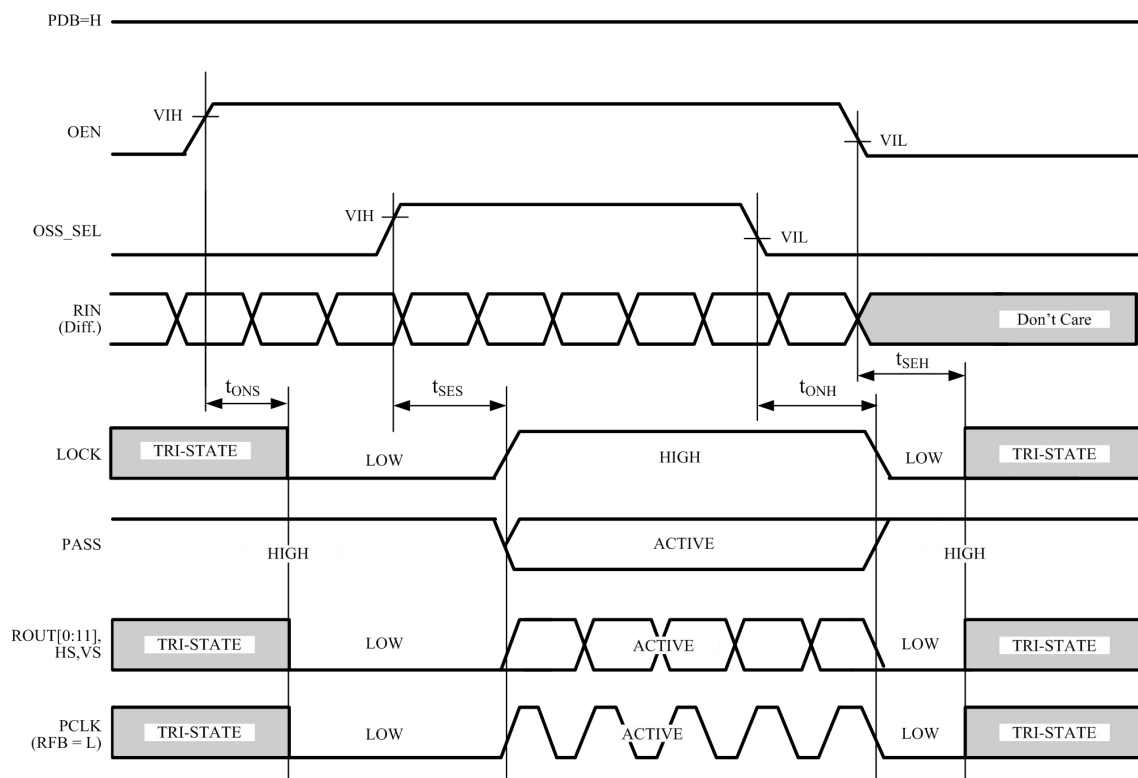


图 20.输出状态（建立和保持）时间

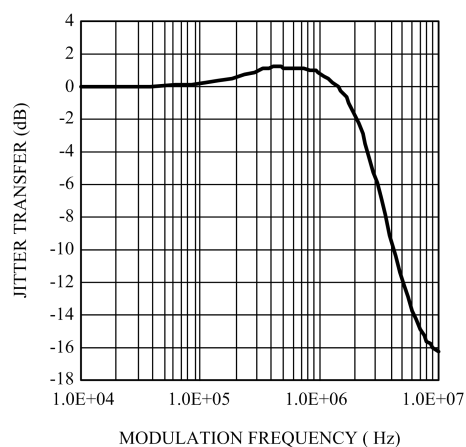


图 21.串化器在 100MHz 下典型的抖动转移函数

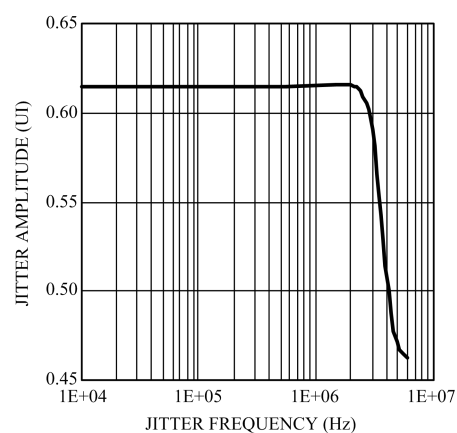


图 22.解串器在 1.4Gbps 线速率下典型的输入抖动容限曲线

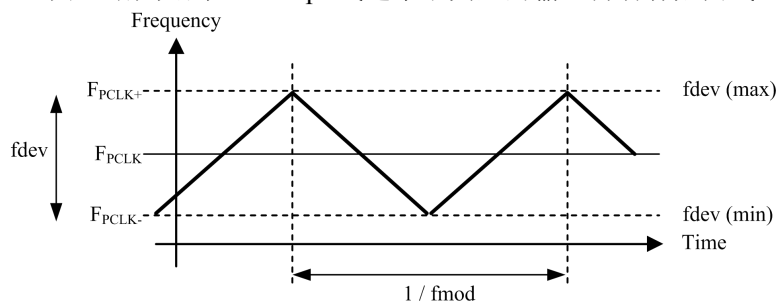


图 23.扩频时钟输出图

表 1.MS913 控制寄存器

Addr (Hex)	寄存器组名	位	寄存器位名	R/W	默认	描述
0x00	I ² C Device ID	7:1	DEVICE ID	R/W	0x58	串化器 7 位地址; 0x58h (0101_100Xb) 默认
		0	SER ID SEL	R/W	0	0: DEVICE ID 来自 ID[x] 1: DEVICE ID 无视 ID[x]
0x01	Power and Reset	7	RSVD			保留
		6	RDS	R/W	0	数字输出驱动强度 1: 高驱动强度 0: 低驱动强度
		5	VDDIO Control	R/W	1	自动电压控制 1: 开启 0: 关闭
		4	VDDIO MODE	R/W	1	VDDIO 电压设置 1: 3.3V 0: 1.8V
		3	ANAPWDN	R/W	0	该寄存器只能通过本地 I ² C 读写 1: 模拟断电: 串化器模拟模块断电 0: 无影响
		2	RSVD			保留
		1	DIGITAL RESET1	R/W	0	1: 对除了寄存器的数字模块复位。不影响器 I ² C 总线和 DEVICE ID。该位自动清零。 0: 正常工作
		0	DIGITAL RESET0	R/W	0	1: 数字复位, 对所有数字模块复位, 包括所有寄存器。该位自动清零。 0: 正常工作
0x02	保留					
0x03	General Configuration	7	RX CRC Checker Enable	R/W	1	反向通道 CRC 校验使能 1: 开启 0: 关闭
		6	TX Parity Generator Enable	R/W	1	前向通道奇偶校验使能 1: 开启 0: 关闭
		5	CRC Error Reset	R/W	0	CRC 错误计数器清零。 该位不会自动清零。 1: 计数器清零 0: 正常操作

		4	I ² C Remote Write Auto Acknowledge	R/W	0	自动应答 I²C 远程写操作 系统锁定时该模式工作。 1: 开启: 开启时, I²C 向解串器 (或 I²C PASS ALL 开启时的任何远程 I²C 从机) 的写操作立即确认, 无需等待解串器的写应答。读写访问被映射到寄存器 0x06 规定地址的器件上。 0: 关闭
		3	I ² C Pass All	R/W	0	1: 使前向控制通道对与串化器 I²C Slave ID 不匹配的所有 I²C 从机 ID 的访问都通过。读写访问被映射到寄存器 0x06 规定地址的器件上。 0: 使前向控制通道对仅与解串器 Slave ID 或远程 Slave ID 匹配的访问通过。
		2	I ² C PASSTHROUGH	R/W	1	I²C 通过模式 1: 开启 0: 关闭
		1	OV_CLK2PLL	R/W	0	1: 开启: 忽略通过 MODE 管脚定义的时钟到 PLL 的模式 (外部晶振模式或直接 PCLK 模式) 且允许串化器中寄存器 0x35 的选择。 0: 关闭: 时钟到 PLL 的模式 (外部晶振模式或直接 PCLK 模式) 由串化器的 MODE 管脚决定。
		0	TRFB	R/W	1	像素时钟脉冲边沿选择 1: 并行接口数据在时钟上升沿选通。 0: 并行接口数据在时钟下降沿选通。
0x04	保留					
0x05	Mode Select	7	RSVD			保留
		6	RSVD			保留
		5	MODE_OVERRIDE	R/W	0	允许忽略来自反向通道的模式选择位 1: 忽略 MODE 脚的选择 0: 不忽略 MODE 脚的选择

		4	MODE_UP To DATE	R	0	指示来自解串器的模式选择状态由数据决定。
		3	Pin_MODE_12-bit High Frequency	R	0	1: 选择 12 位高频模式 0: 不选择 12 位高频模式
		2	Pin_MODE_10-bit mode	R	0	1: 选择 10 位模式 0: 不选择 10 位模式
		1:0	RSVD			保留
0x06	DES ID	7:1	Deserializer Device ID	R/W	0x00	7 位解串器器件 ID 配置远程解串器的 I ² C 从机 ID。该字段为 0 时将不能对远程解串器进行 I ² C 访问。一旦检测到 RX 锁定，该字段可自动由双向控制通道配置。软件可以覆盖该值，但也应该声明 Freeze Device ID 位防止被双向控制通道覆盖。
		0	Freeze Device ID	R/W	0	1: 防止自动加载来自双向控制通道的解串器器件 ID，且 ID 将会固定在写入时的值。 0: 更新
0x07	DES Alias	7:1	Deserializer ALIAS ID	R/W	0x00	7 位远程解串器器件别名 ID 配置用于检测一个 I ² C 操作特指的解串器器件的解码器。该操作会被重新映射到寄存器 DES ID 指定的地址。 该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x08	Slave ID	7:1	SLAVE ID	R/W	0x00	7 位远程从机 ID 配置附属于远程解串器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID 时，该操作在通过双向控制通道传输到解串器之前会重新映射到这个地址。 该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留

0x09	Slave Alias	7:1	SLAVE ALIAS ID	R/W	0x00	7 位远程从机别名 ID 配置用于检测一个 I ² C 操作特指的附属于远程解串器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID 指定的地址。 该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x0A	CRC Errors	7:0	CRC Error Byte 0	R	0	正常工作下反向通道的 CRC 错误个数 最低有效字节
0x0B	CRC Errors	7:0	CRC Error Byte 1	R	0	正常工作下反向通道的 CRC 错误个数 最高有效字节
0x0C	General Status	7:5	Rev-ID	R	0x0	修正 ID 0x00: 用于生产
		4	RX Lock Detect	R	0	1: RX 锁定 0: RX 未锁定
		3	BIST CRC Error Status	R	0	1: BIST 模式下有 CRC 错误 0: BIST 模式下无 CRC 错误
		2	PCLK Detect	R	0	1: 检测到有效的 PCLK 0: 未检测到有效的 PCLK
		1	DES Error	R	0	1: 在与解串器通信时检测到 CRC 错误。 该位在失连或寄存器 0x03 的 CRC Error Reset 置 1 后清零。 0: 无影响
		0	LINK Detect	R	0	1: 检测到电缆连接 0: 未检测到电缆连接 包含以下任何错误 - 电缆开路 - “+” “-” 短接 - 短接到地 - 短接到电源
0x0D	GP0[0] and GP0[1] Configuration	7	GP01 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出且远程 GPIO 控制无效时，GPIO 管脚上输出值。

		6	GP01 Remote Enable	R/W	1	远程 GPIO 控制 1: 来自远程解串器的 GPIO 控制有效。GPIO 管脚必须作为一个输出端，输出的值来自远程解串器。 0: 来自远程解串器的 GPIO 控制无效。
		5	GP01 Direction	R/W	0	1: 输入 0: 输出
		4	GP01 Enable	R/W	1	1: GPIO 开启 0: 三态
		3	GP00 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出且远程 GPIO 控制无效时，GPIO 管脚上输出值。
		2	GP00 Remote Enable	R/W	1	远程 GPIO 控制 1: 来自远程解串器的 GPIO 控制有效。GPIO 管脚必须作为一个输出端，输出的值来自远程解串器。 0: 来自远程解串器的 GPIO 控制无效。
		1	GP00 Direction	R/W	0	1: 输入 0: 输出
		0	GP00 Enable	R/W	1	1: GPIO 开启 0: 三态
0x0E	GP0[2] and GP0[3] Configuration	7	GP03 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出且远程 GPIO 控制无效时，GPIO 管脚上输出值。
		6	GP03 Remote Enable	R/W	0	远程 GPIO 控制 1: 来自远程解串器的 GPIO 控制有效。GPIO 管脚必须作为一个输出端，输出的值来自远程解串器。 0: 来自远程解串器的 GPIO 控制无效。
		5	GP03 Direction	R/W	1	1: 输入 0: 输出
		4	GP03 Enable	R/W	1	1: GPIO 开启 0: 三态

		3	GP02 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出且远程 GPIO 控制无效时，GPIO 管脚上输出值。
		2	GP02 Remote Enable	R/W	1	远程 GPIO 控制 1: 来自远程解串器的 GPIO 控制有效。GPIO 管脚必须作为一个输出端，输出的值来自远程解串器。 0: 来自远程解串器的 GPIO 控制无效。
		1	GP02 Direction	R/W	0	1: 输入 0: 输出
		0	GP02 Enable	R/W	1	1: GPIO 开启 0: 三态
0x0F	I ² C Master Config	7:5	RSVD			保留
		4:3	SDA Output Delay	R/W	00	SDA 输出延时。该字段配置在 SDA 输出端上的输出延时。设置该值会增加每单位 50ns 的延时。SCL 到 SDA 的正常延时为： 00: 350ns 01: 400ns 10: 450ns 11: 500ns
		2	Local Write Disable	R/W	0	对本地寄存器的远程写操作无效。该位置 1 时会阻止来自控制通道对本地寄存器的远程写操作。阻止来自附属于解串器的 I ² C 主机对串化器寄存器的写操作。设置该位不影响对串化器上 I ² C 从机的远程访问。
		1	I ² C Bus Timer Speed up	R/W	0	加快 I ² C 总线看门狗定时器 1: 大约在 50μs 后定时器溢出 0: 大约在 1s 后定时器溢出

		0	I ² C Bus Timer Disable	R/W	0	1: 关闭 I ² C 总线看门狗定时器。可用于检测 I ² C 总线是否空闲或在一个操作的无效终止之后挂起。若 SDA 为高电平且 1s 内无信号产生, I ² C 总线被设定为空闲状态。若 SDA 为低电平且无信号产生, 器件将尝试通过驱动 SCL 上的 9 个时钟去清除总线。 0: 无影响
0x10	I ² C Control	7	RSVD			保留
		6:4	SDA Hold Time	R/W	0x1	内部 SDA 保持时间。该字段配置用于提供 SDA 输入相对于 SCL 输入的内部保持时间。单位为 50ns。
		3:0	I ² C Filter Depth	R/W	0x7	I ² C 干扰滤波器深度。该字段配置 SCL 和 SDA 上输入的能被滤波的干扰脉冲的最大宽度。单位为 10ns。
0x11	SCL High Time	7:0	SCL High Time	R/W	0x82	I ² C 主机 SCL 高电平时间。当串化器在本地 I ² C 总线上作为主机时, 该字段配置 SCL 输出的高电平脉宽。对于标准振荡器时钟频率, 单位为 50ns。默认值设置了最小的 (上升时间非常快的情况下, 上升时间为 4us+1us) SCL 高电平时间, 内部振荡器时钟工作在 26MHz, 而非正常的时的 20MHz。
0x12	SCL Low Time	7:0	SCL Low Time	R/W	0x82	I ² C 主机 SCL 低电平时间。当串化器在本地 I ² C 总线上作为主机时, 该字段配置 SCL 输出的低电平脉宽。该值也被 I ² C 从机用作 SDA 的建立时间, 在通过双向控制通道进行访问时, 优先释放 SCL 来提供数据。单位为 50ns。默认值设置了最小的 (下降时间非常快的情况下, 下降时间为 4.7us+0.3us) SCL 高电平时间, 内部振荡器时钟工作在 26MHz, 而非正常的时的 20MHz。

0x13	General Purpose Control	7:0	GPCR[7:0]	R/W	0x0	1: 高 0: 低
0x14	BIST Control	7:3	RSVD			保留
		2:1	Clock Source	R/W	0x0	允许选择不同的 OSC 时钟频率用作前向通道的帧结构。 当选择 OSC 模式或被选择的时钟源没有出现（例如丢失 PCLK/外部振荡器）时的 OSC 时钟频率。参考表 3 当 PCLK/外部时钟丢失时的振荡器时钟频率。
		0	BIST Enable	R/W	0	BIST 控制 1: BIST 模式开启 0: BIST 模式关闭
0x15–0x1D	保留					
0x1E	BCC Watchdog Control	7:1	BCC Watchdog Timer	R/W	0x7f	如果看门狗定时器没能在规定时间内完成，则允许终止一个控制通道操作。该字段以 2ms 为单位设定了双向控制通道看门狗的超时值。且不能设为 0。
		0	BCC Watchdog Timer Disable	R/W	0	双向控制通道看门狗定时器无效 1: BCC 看门狗定时器操作无效 0: BCC 看门狗定时器操作有效
0x1F–0x29	保留					
0x2A	CRC Errors	7:0	BIST Mode CRC Errors Count	R	0x0	BIST 模式下，反向通道的 CRC 错误个数
0x2B–0x34	保留					
0x35	PLL Clock Overwrite	7:4	RSVD			保留
		3	PIN_LOCK to External Oscillator	R/W	0	模式选择脚的状态 1: 选择外部振荡器模式 0: 不选择外部振荡器模式
		2	PIN_LOCK2Oscillator	R/W	1	模式选择脚的状态 1: 选择 PCLK 模式 0: 不选择 PCLK 模式

		1	LOCK to External Oscillator	R/W	0	仅在 0x03[1]=1 (OV_CLK2PLL) 和 0x35[0]=0 时有效。 1: GP03 时钟源接 PLL 0: PLL 锁定在 PCLK 频率
		0	RSVD			保留

表 2.MS914 控制寄存器

Addr (HEX)	寄存器组名	位	寄存器位名	R/W	默认	描述
0x00	I ² C Device ID	7:1	DEVICE ID	R/W	0x60	解串器 7 位地址; 0x60h (0110_000Xb) 默认
		0	Deserializer ID Select	R/W	0	0: 解串器的 DEVICE ID 来自 ID[x] 1: DEVICE ID 忽略 ID[x]
0x01	Reset	7:6	RSVD			保留
		5	ANAPWDN	R/W	0	该寄存器只能通过本地 I ² C 读写 1: 模拟断电: 串化器模拟模块断电 0: 无影响
		4:2	RSVD			保留
		1	Digital Reset 1	R/W	0	对除了寄存器的数字模块复位。该位自动清零。 1: 复位 0: 正常工作
		0	Digital Reset 0	R/W	0	数字复位, 对所有数字模块复位, 包括所有寄存器。该位自动清零。 1: 复位 0: 正常工作
0x02	General Configuration 0	7	RSVD			保留
		6	RSVD			保留
		5	Auto-Clock	R/W	0	1: 未锁定时输出 PCLK 或 OSC 时钟 0: 仅 PCLK
		4	SSCG LFMODE	R/W	0	1: SSCG 工作在频率为 10-18MHz 的 8X 模式 0: SSCG 工作在 4X 模式

		3:0	SSCG	R/W	0x0	SSCG 选择 0000: 正常工作, SSCG 关闭 0001: fmod (kHz) PCLK/2168, fdev +/-0.50% 0010: fmod (kHz) PCLK/2168, fdev +/-1.00% 0011: fmod (kHz) PCLK/2168, fdev +/-1.50% 0100: fmod (kHz) PCLK/2168, fdev +/-2.00% 0101: fmod (kHz) PCLK/1300, fdev +/-0.50% 0110: fmod (kHz) PCLK/1300, fdev +/-1.00% 0111: fmod (kHz) PCLK/1300, fdev +/-1.50% 1000: fmod (kHz) PCLK/1300, fdev +/-2.00% 1001: fmod (kHz) PCLK/868, fdev +/-0.50% 1010: fmod (kHz) PCLK/868, fdev +/-1.00% 1011: fmod (kHz) PCLK/868, fdev +/-1.50% 1100: fmod (kHz) PCLK/868, fdev +/-2.00% 1101: fmod (kHz) PCLK/650, fdev +/-0.50% 1110: fmod (kHz) PCLK/650, fdev +/-1.00% 1111: fmod (kHz) PCLK/650, fdev +/-1.50% 注意: 该寄存器只能在 SSCG 关闭后改变。
0x03	General Configuration 1	7	RX Parity Checker Enable	R/W	1	前向通道奇偶校验使能 1: 开启 0: 关闭
		6	TX CRC Checker Enable	R/W	1	反向通道 CRC 校验使能 1: 开启 0: 关闭

		5	VDDIO Control	R/W	1	自动电压控制 1: 开启 (自动检测模式) 0: 关闭
		4	VDDIO Mode	R/W	0	VDDIO 电压设置 1: 3.3V 0: 1.8V
		3	I ² C Pass through	R/W	1	I ² C 通过模式 1: 开启 0: 关闭
		2	AUTO ACK	R/W	0	自动应答 I ² C 远程写操作 开启时, I ² C 向解串器 (或 I ² C PASS ALL 开启时的任何远程 I ² C 从机) 的写操作立即确认, 无需等待解串器的写应答。读写访问被映射到寄存器 0x06 规定地址的器件上。这允许 I ² C 总线无需锁定。 1: 开启 0: 关闭
		1	Parity Error Reset	R/W	0	奇偶校验错误复位, 该位会自动清零。 1: 奇偶校验错误复位 0: 无影响
		0	RRFB	R/W	1	像素时钟脉冲边沿选择 1: 并行接口数据在时钟上升沿选通 0: 并行接口数据在时钟下降沿选通
0x04	EQ Feature Control 1	7:0	EQ level - when AEQ bypass is enabled EQ Setting is provided by this register	R/W	0x00	均衡器增益 0x00=0.0dB 0x01=4.5dB 0x03=6.5dB 0x07=7.5dB 0x0F=8.0dB 0x1F=11.0dB 0x3F=12.5dB
0x05	保留					
0x06	SER ID	7:1	Remote ID	R/W	0x0C	远程串化器 ID
		0	Freeze Device ID	R/W	0	防止自动加载来自双向控制通道的串化器器件 ID, 且 ID 将会固定在写入时的值。

0x07	SER Alias	7:1	Serializer Alias ID	R/W	0x00	7 位远程串化器器件别名 ID 配置用于检测一个 I ² C 操作特指的串化器器件的解码器。该操作会被重新映射到寄存器 SER ID 指定的地址。该字段为 0 时将不能对远程 I ² C 串化器进行访问。
		0	RSVD			保留
0x08	Slave ID[0]	7:1	Slave ID0	R/W	0x00	7 位远程从机 ID0 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID0 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x09	Slave ID[1]	7:1	Slave ID1	R/W	0x00	7 位远程从机 ID1 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID1 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x0A	Slave ID[2]	7:1	Slave ID2	R/W	0x00	7 位远程从机 ID2 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID2 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x0B	Slave ID[3]	7:1	Slave ID3	R/W	0x00	7 位远程从机 ID3 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID3 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留

0x0C	Slave ID[4]	7:1	Slave ID4	R/W	0x00	7 位远程从机 ID4 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID4 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x0D	Slave ID[5]	7:1	Slave ID5	R/W	0x00	7 位远程从机 ID5 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID5 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x0E	Slave ID[6]	7:1	Slave ID6	R/W	0x00	7 位远程从机 ID6 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID6 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x0F	Slave ID[7]	7:1	Slave ID7	R/W	0x00	7 位远程从机 ID7 配置附属于远程串化器的远程 I ² C 从机的 I ² C 物理地址。如果一个 I ² C 操作寻址到 Slave Alias ID7 时，该操作在通过双向控制通道传输到串化器之前会重新映射到这个地址。
		0	RSVD			保留
0x10	Slave Alias[0]	7:1	Slave Alias ID0	R/W	0x00	7 位远程从机别名 ID0 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID0 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留

0x11	Slave Alias[1]	7:1	Slave Alias ID1	R/W	0x00	7 位远程从机别名 ID1 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID1 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x12	Slave Alias[2]	7:1	Slave Alias ID2	R/W	0x00	7 位远程从机别名 ID2 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID2 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x13	Slave Alias[3]	7:1	Slave Alias ID3	R/W	0x00	7 位远程从机别名 ID3 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID3 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x14	Slave Alias[4]	7:1	Slave Alias ID4	R/W	0x00	7 位远程从机别名 ID4 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID4 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x15	Slave Alias[5]	7:1	Slave Alias ID5	R/W	0x00	7 位远程从机别名 ID5 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID5 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留

0x16	Slave Alias[6]	7:1	Slave Alias ID6	R/W	0x00	7 位远程从机别名 ID6 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID6 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x17	Slave Alias[7]	7:1	Slave Alias ID7	R/W	0x00	7 位远程从机别名 ID7 配置用于检测一个 I ² C 操作特指的附属于远程串化器的 I ² C 从机的解码器。该操作会被重新映射到寄存器 Slave ID7 指定的地址。该字段为 0 时将不能对远程 I ² C 从机进行访问。
		0	RSVD			保留
0x18	Parity Errors Threshold	7:0	Parity Error Threshold Byte 0	R/W	0x00	正常工作时，前向通道的奇偶校验错误阈值。可以设置寄存器 0x1A 计数的最大奇偶校验错误。 最低有效字节。
0x19	Parity Errors Threshold	7:0	Parity Error Threshold Byte 1	R/W	0x01	正常工作时，前向通道的奇偶校验错误阈值。可以设置寄存器 0x1B 计数的最大奇偶校验错误。 最高有效字节。
0x1A	Parity Errors	7:0	Parity Error Byte 0	R/W	0x00	正常工作时，前向通道的奇偶校验错误。 最低有效字节。
0x1B	Parity Errors	7:0	Parity Error Byte 1	R/W	0x00	正常工作时，前向通道的奇偶校验错误。 最高有效字节。
0x1C	General Status	7:4	Rev-ID	R	0x1	修正 ID 0x01: 用于生产
		3	RSVD			保留
		2	Parity Error	R	0	检测到奇偶校验错误 1: 检测到奇偶校验错误 0: 无奇偶校验错误
		1	Signal Detect	R	0	1: 检测到串行输入数据 0: 未检测到串行输入数据

		0	Lock	R	0	1: 解串器锁定在恢复时钟 0: 解串器未锁定
0x1D	GPIO[1] and GPIO[0] Config	7	GPIO1 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出，GPIO 管脚上输出值。
		6	RSVD			保留
		5	GPIO1 Direction	R/W	1	本地 GPIO 方向 1: 输入 0: 输出
		4	GPIO1 Enable	R/W	1	GPIO 功能使能 1: GPIO 操作有效 0: 正常操作有效
		3	GPIO0 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出，GPIO 管脚上输出值。
		2	RSVD			保留
		1	GPIO0 Direction	R/W	1	本地 GPIO 方向 1: 输入 0: 输出
		0	GPIO0 Enable	R/W	1	GPIO 功能使能 1: GPIO 操作有效 0: 正常操作有效
0x1E	GPIO[3] and GPIO[2] Config	7	GPIO3 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出，GPIO 管脚上输出值。
		6	RSVD			保留
		5	GPIO3 Direction	R/W	1	本地 GPIO 方向 1: 输入 0: 输出
		4	GPIO3 Enable	R/W	1	GPIO 功能使能 1: GPIO 操作有效 0: 正常操作有效
		3	GPIO2 Output Value	R/W	0	本地 GPIO 输出值。当 GPIO 功能开启，本地 GPIO 作为输出，GPIO 管脚上输出值。
		2	RSVD			保留
		1	GPIO2 Direction	R/W	1	本地 GPIO 方向 1: 输入 0: 输出

		0	GPIO2 Enable	R/W	1	GPIO 功能使能 1: GPIO 操作有效 0: 正常操作有效
0x1F	Mode and OSS Select	7	OEN_OSS Override	R/W	0	允许忽略来自管脚的 OEN 和 OSS 选择 1: 忽略管脚的 OEN/OSS_SEL 0: 不忽略管脚的 OEN/OSS_SEL
		6	OEN Select	R/W	0	OEN 配置来自寄存器
		5	OSS Select	R	0	OSS_SEL 配置来自寄存器
		4	MODE_OVERRIDE	R/W	0	允许忽略来自前向通道的模式选择位 1: 忽略 MODE 脚的选择 0: 不忽略 MODE 脚的选择
		3	PIN_MODE_12 - bit HF mode	R	0	MODE 脚的状态
		2	PIN_MODE_10 bit mode	R	0	MODE 脚的状态
		1	MODE_12 - bit High Frequency	R/W	0	选择 12 位高频模式。该位通过 MODE 脚（除非 MODE_OVERRIDE 置 1）模式设置自动更新。 1: 选择 12 位高频模式 0: 不选择 12 位高频模式
		0	MODE_10 - bit mode	R/W	0	选择 10 位模式。该位通过 MODE 脚（除非 MODE_OVERRIDE 置 1）模式设置自动更新。 1: 选择 10 位高频模式 0: 不选择 10 位高频模式
0x20	BCC Watchdog Control	7:1	BCC Watchdog timer	R/W	0x7f	如果看门狗定时器没能在规定时间内完成，则允许终止一个控制通道操作。该字段以 2ms 为单位设定了双向控制通道看门狗的超时值。且不能设为 0。
		0	BCC Watchdog Timer Disable	R/W	0	双向控制通道看门狗定时器无效 1: BCC 看门狗定时器操作无效 0: BCC 看门狗定时器操作有效
0x21	I ² C Control 1	7	I ² C pass through all	R/W	0	使能 I2C Pass-Through All 操作 1: 开启 0: 关闭

		6:4	I ² C SDA Hold	R/W	0x1	内部 SDA 保持时间。该字段配置用于提供 SDA 输入相对于 SCL 输入的 内部保持时间。单位为 50ns。
		3:0	I ² C Filter Depth	R/W	0x7	I ² C 干扰滤波器深度。该字段配置 SCL 和 SDA 上输入的能被滤波的干扰脉冲的最大宽度。单位为 10ns。
0x22	I ² C Control 2	7	Forward Channel Sequence Error	R	0	检测到控制通道序列错误。该位指示在前向通道中检测到序列错误。 1: 若该位置 1, 则在控制通道操作中可能产生一个错误 0: 在控制通道中未检测到前向通道错误。
		6	Clear Sequence Error	R/W	0	清除序列错误检测位
		5	RSVD			保留
		4:3	SDA Output Delay	R/W	0	SDA 输出延时。该字段配置在 SDA 输出端上的输出延时。设置该值会增加每单位 50ns 的延时。SCL 到 SDA 的正常延时为: 00: 350ns 01: 400ns 10: 450ns 11: 500ns
		2	Local Write Disable	R/W	0	对本地寄存器的远程写操作无效。该位置 1 时会阻止来自控制通道对本地寄存器的远程写操作。阻止来自附属解串器的 I ² C 主机对串化器寄存器的写操作。设置该位不影响对串化器上 I ² C 从机的远程访问。
		1	I ² C Bus Timer Speedup	R/W	0	加快 I ² C 总线看门狗定时器 1: 大约在 50μs 后定时器溢出 0: 大约在 1s 后定时器溢出

		0	I ² C Bus Timer Disable	R/W	0	关闭 I ² C 总线看门狗定时器。可用于检测 I ² C 总线是否空闲或在一个操作的无效终止之后挂起。若 SDA 为高电平且 1s 内无信号产生, I ² C 总线被设定为空闲状态。若 SDA 为低电平且无信号产生, 器件将尝试通过驱动 SCL 上的 9 个时钟去清除总线。
0x23	General Purpose Control	7:0	GPCR	R/W	0x00	备用寄存器
0x24	BIST Control	7:4	RSVD			保留
		3	BIST Pin Configuration	R/W	1	通过管脚配置 BIST 模式 1: 通过管脚配置 BIST 模式 0: 通过寄存器 0x24[0] 配置 BIST 模式
		2:1	BIST Clock Source	R/W	0x0	BIST 时钟源 详见表 4
		0	BIST Enable	R/W	0	BIST 控制 1: 开启 0: 关闭
0x25	Parity Error Count	7:0	BIST Error Count	R	0x00	BIST 模式下前向通道奇偶校验错误个数
0x26–0x3B	保留					
0x3C	Oscillator output divider select	7:2	RSVD			保留
		1:0	OSC OUT DIVIDER SEL	R/W	0x0	当系统未锁定且通过 OEN/OSS_SEL 和寄存器 0x02[5] 选择 PCLK 上的 OSC 时钟分频器 00: 50M(+/- 30%) 01: 25M(+/- 30%) 1X: 12.5M(+/- 30%)
0x3D–0x3E	保留					
0x3F	CML Output Enable	7:5	RSVD			保留
		4	CML OUT Enable	R/W	0	1: CML 循环驱动器掉电 0: CML 循环驱动器上电
		3:0	RSVD			保留

0x40	SCL High Time	7:0	SCL High Time	R/W	0x82	I ² C 主机 SCL 高电平时间。当解串器在本地 I ² C 总线上作为主机时，该字段配置 SCL 输出的高电平脉宽。对于标准振荡器时钟频率，单位为 50ns。默认值设置了最小的（上升时间非常快的情况下，上升时间为 4us+1us）SCL 高电平时间，内部振荡器时钟工作在 26MHz，而非正常的时的 20MHz。
0x41	SCL Low Time	7:0	SCL Low Time	R/W	0x82	I ² C 主机 SCL 低电平时间。当解串器在本地 I ² C 总线上作为主机时，该字段配置 SCL 输出的低电平脉宽。该值也被 I ² C 从机用作 SDA 的建立时间，在通过双向控制通道进行访问时，优先释放 SCL 来提供数据。单位为 50ns。默认值设置了最小的（下降时间非常快的情况下，下降时间为 4.7us+0.3us）SCL 高电平时间，内部振荡器时钟工作在 26MHz，而非正常的时的 20MHz。
0x42	CRC Force Error	7:2	RSVD			保留
		1	Force Back Channel Error	R/W	0	1：在反向通道数据结构中引入多个错误 0：无影响
		0	Force One Back Channel Error	R/W	0	1：在反向通道数据结构中仅引入 1 个错误。该位自动清零 0：无影响
0x43–0x4C	保留					
0x4D	AEQ Test Mode Select	7	RSVD			保留
		6	AEQ Bypass	R/W	0	忽略 AEQ 且使用寄存器 0x04 设置的 EQ 值
		5:0	RSVD			保留
0x4E	EQ Value	7:0	AEQ / Manual Eq Readback	R	0x00	读取自适应和手动设置的均衡器值

表 3.正常操作时串化器上前向通道的时钟源

MS913 寄存器 0x14[2:1]	10 位模式	12 位高频模式	12 位低频模式
00	50MHz	37.5MHz	25MHz
01	100MHz	75MHz	50MHz
10	50MHz	37.5MHz	25MHz
11	—	—	—

表 4.BIST 时钟源

MS914 寄存器 0x24[2:1]	10 位模式	12 位高频模式	12 位低频模式
00	PCLK	PCLK	PCLK
01	100MHz	75MHz	50MHz
10	50MHz	37.5MHz	25MHz
11	—	—	—

1.1 功能描述

MS913/914 平面显示器链路III芯片组是用于连接百万像素级摄像头成像器和 ECU 中的视频处理器。串化器/解串器芯片组可在像素时钟频率 25MHz-100MHz 下工作。MS913 把 10/12 位宽的并行 LVCMOS 数据总线连同双向控制通道的控制总线转换成一个高速差分信号。高速串行数据流包含嵌入时钟和直流平衡信息以提高信号质量使其支持 AC 耦合。MS914 接收串行数据流并将其转换回 10/12 位宽的并行数据总线和控制通道的控制数据总线。MS913/914 芯片组可以接受：

- ◆12 位低频模式下，输入 PCLK 频率范围为 25MHz-50MHz 的 12 位数据和 2 位同步数据
- ◆12 位高频模式下，输入 PCLK 频率范围为 37.5MHz-75MHz 的 12 位数据和 2 位同步数据
- ◆10 位模式下，输入 PCLK 频率范围为 50MHz-100MHz 的 10 位数据和 2 位同步数据

MS914 有一个二选一的多路选择器，允许用户在两个串化器输入间选择。MS913/914 芯片组的控制通道实现了图像传感器和 ECU 之间的双向通信。双向控制通道在用于视频数据接口的同一个差分对上双向传输数据。该接口的优势在于无需额外的编程和控制线。双向控制通道总线通过一个 I²C 端口控制。双向控制通道提供了非对称通信且不依赖于视频消隐间隔。

MS913/914 芯片组为用户提供了不同的工作时钟方案，可使用外部振荡器或来自成像器的 PCLK 作为 PLL 的参考时钟源。

1.2 传输媒介

MS913/914 芯片组适用于通过一对屏蔽双绞线传输的点对点结构。串化器和解串器提供了内部终端以最小化阻抗的不匹配。互连线（电缆和连接器）应该有一个 100Ω 的差分阻抗。可使用的电缆最大长度依赖于电缆的质量（宽度，阻抗），连接器，电路板（中断，电源），电气环境（例如电源稳定性，地噪声，输入时钟抖动，PCLK 频率等）。通过监控串型数据流的差分眼宽可评估传输介质末端接收到的信号质量。差分探针可用于测试 CMLOUTP/N 管脚间的终端电阻。图 19 显示了位无错操作的最小眼宽和眼高。

1.3 MS913/914 使用外部振荡器作为参考时钟工作

在某些应用中，来自成像器的像素时钟会产生抖动，这超出了 MS913/914 芯片组的容忍范围。在这种情况下，MS913 应该使用外部时钟源作为芯片组的参考时钟。推荐使用该工作模式。外部振荡器输出时钟通过 MS913 串化器中的二分频电路，该分频时钟输出后作为成像器的参考时钟。随后成像器的输出数据和像素时钟反馈回 MS913。图 24 显示了使用外部汽车级振荡器的

MS913/914 芯片组工作模式。

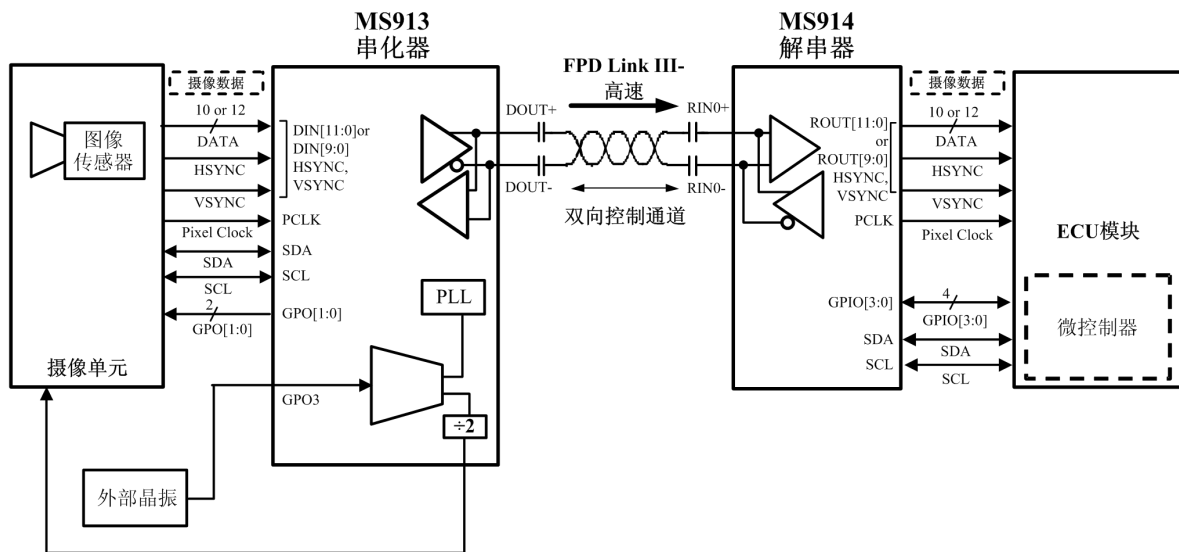


图 24. 工作在外部振荡器模式下的 MS913/914

当 MS913 使用外部振荡器模式，MS913 上的 GPO3 管脚作为输入脚连接外部振荡器。在 MS913 使用外部振荡器模式工作的应用中，MS913 中的二分频电路通过 GPO2 脚将分频时钟输出到成像器。对于 12 位高频模式和 10 位模式的像素时钟与外部振荡器的比率必须固定。在 10 位模式下，像素时钟频率与外部振荡器频率的比值必须为 2。在 12 位高频模式下，像素时钟频率与外部振荡器频率的比值必须为 1.5。例如，若在 10 位模式下外部振荡器频率为 48MHz，成像器的像素时钟频率即为外部振荡器频率的 2 倍即 96MHz。若在 12 位高频模式下外部振荡器频率为 48MHz，成像器的像素时钟频率即为外部振荡器频率的 1.5 倍即 72MHz。在该模式下，串化器的 GPO2 和 GPO3 不能作为来自解串器 GPIO2 或 GPIO3 的输入信号的输出端。

1.4 MS913/914 使用成像器的像素时钟作为参考时钟工作

MS913/914 芯片组可使用成像器的像素时钟作为参考时钟工作。图 25 显示了 MS913/914 芯片组使用成像器的像素时钟作为参考时钟工作。如果 MS913 使用成像器的像素时钟作为参考时钟工作，那么成像器使用一个外部振荡器作为参考时钟。在该模式下，串化器和解串器都有 4 个 GPIO。

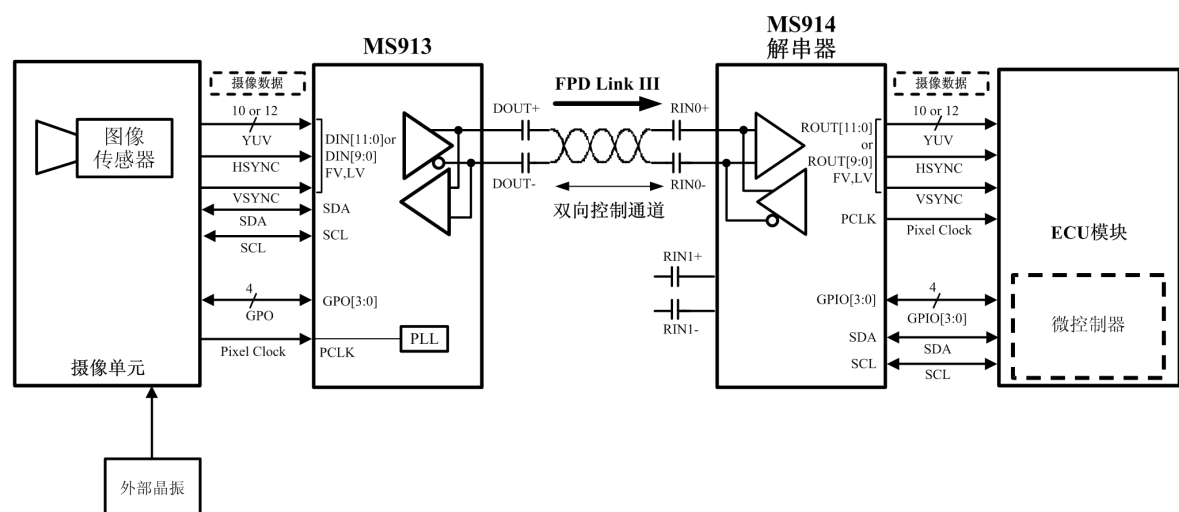


图 25. 工作在 PCLK 模式下的 MS913/914

1.5 串化器上 MODE 脚

串化器上的 MODE 管脚可用来配置选择 MS913 工作在外部振荡器模式或成像器的 PCLK 模式。如图 26 所示，管脚必须接一个 10kΩ 的电阻上拉到 V_{DD}(是 1.8V 不是 V_{DDIO})和一个推荐的下拉电阻(R_{MODE})去设置模式。推荐的最大电阻误差为 1%。

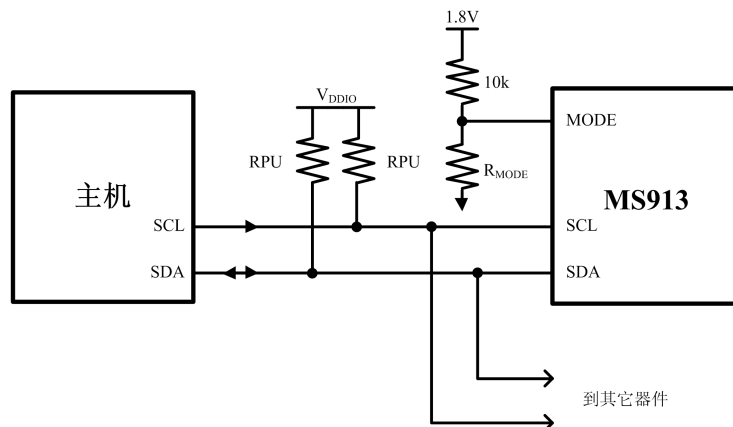


图 26. MS913 上 MODE 脚的配置

表 5. MS913 串化器上 MODE 脚电阻值

MS913 串化器上 MODE 脚电阻值	
模式选择	R _{MODE} 电阻值
来自成像器的 PCLK 模式	100kΩ
外部振荡器模式	4.7kΩ

1.6 解串器上 MODE 脚

解串器 MODE 管脚可用来配置器件工作在 12 位低频模式，12 位高频模式或 10 位模式。MS913/914 芯片组工作在 12 位低频 1 分频模式，10 位 2 分频模式或 12 位高频 1.5 分频模式。管脚必须接一个 10kΩ 的电阻上拉到 V_{DD}(是 1.8V 不是 V_{DDIO})及表 6 中所述的一个推荐的下拉电阻 (R_{MODE})去设置解串器的不同模式。通过反向通道，解串器可自动配置串化器工作在正确模式。推荐的最大电阻误差为 1%。

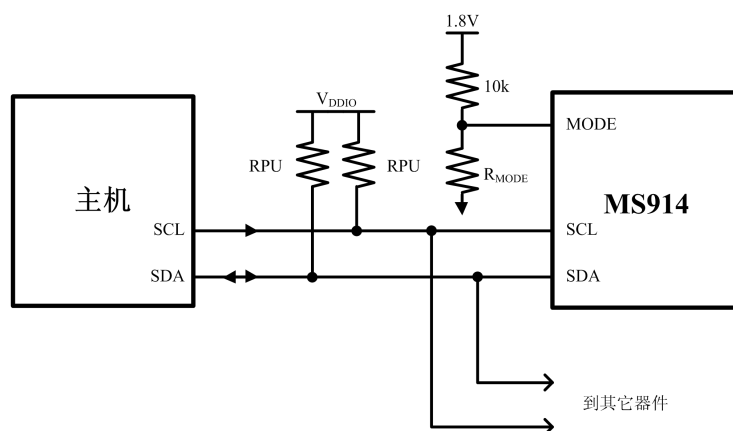


图 27. MS914 上 MODE 脚的配置

表 6. MS914 解串器上 MODE 脚电阻值

MS914 解串器上 MODE 脚电阻值	
模式选择	R _{MODE} 电阻值
12 位低频模式 25-50MHz PCLK, 12 位数据+2 位同步	0Ω
12 位低频模式 37.5-75MHz PCLK, 12 位数据+2 位同步	3kΩ
10 位模式 50-100MHz PCLK, 10 位数据+2 位同步	11kΩ

1.7 MS913/914 的线速率计算

MS913 在内部对时钟进行分频, 12 位低频模式下 1 分频, 10 位模式下 2 分频, 12 位高频模式下 1.5 分频。相反地, MS914 对恢复的串行时钟倍频以产生正确的像素时钟输出频率。因此, 三个不同模式的线上速率都保持在 1.4Gbps。以下是三个不同模式下最大线速率的计算公式。

- 12 位低频, 线速率 = $f_{PCLK} \times 28$, 如 $f_{PCLK} = 50MHz$, 线速率 = $50MHz \times 28 = 1.4Gbps$
- 10 位模式, 线速率 = $f_{PCLK} / 2 \times 28$, 如 $f_{PCLK} = 100MHz$, 线速率 = $100MHz / 2 \times 28 = 1.4Gbps$
- 12 位高频, 线速率 = $f_{PCLK} \times \frac{2}{3} \times 28$, 如 $f_{PCLK} = 75MHz$, 线速率 = $75MHz \times \frac{2}{3} \times 28 = 1.4Gbps$

1.8 解串器多路选择器输入

MS914 提供了一个二选一多路选择器, 可用于选择一路摄像机作为输入。图 28 显示了解串器中的二选一多路选择器。通过引脚可以控制摄像机的选择, 和寄存器控制一样。解串器的两个输入不能同时有效。如果串化器 A 有效, 解串器 A 的反向通道就会打开, 反之亦然。为了在两个摄像机之间切换, 首先必须使用解串器上 SEL 管脚/寄存器来选择串化器 B。之后, 通过设置解串器的寄存器使连接串化器 B 的反向通道驱动器有效。

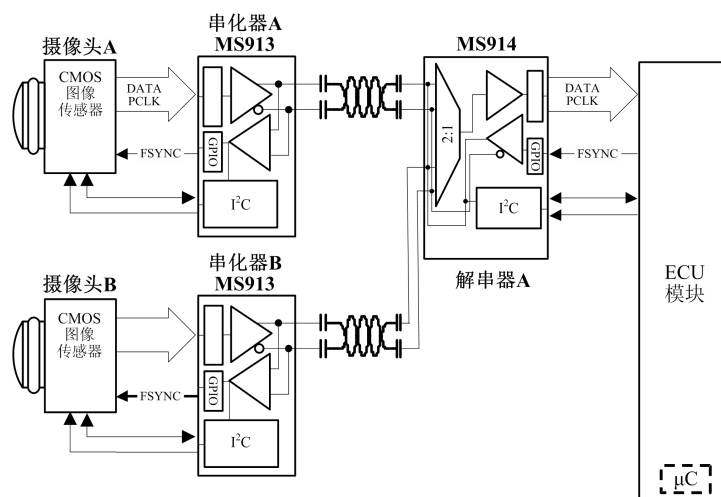


图 28. 使用解串器中多路选择器使能一个双摄像机系统

1.9 串行数据帧结构

高速前向通道由 28 位数据构成, 包括视频数据, 同步信号, I²C 及奇偶校验位。为了能在 AC 耦合线路中传输, 对该数据的有效负载进行了优化。数据经过随机化, 平衡及加扰处理。在 12 位低频模式, 12 位高频模式或 10 位模式下, 28 位的数据帧结构可以改变。双向控制通道数据与高速前向数据一起通过一个串行链路传输。该结构提供了一个全双工低速前向和反向路径, 同时也提供了一个不依赖于视频空白阶段的高速前向通道。

1.10 错误检测

芯片组为远距离传输和接收数据的完整性提供了错误检测功能。数据错误检测功能为用户提供了灵活有用的位到位的数据传输错误检查。数据错误检测模式支持以下信号的验证：

- 通过串行连接的双向控制通道数据
- 通过串行连接的并行视频/同步数据

为了实现错误检测的目的，芯片组在前向和反向通道上分别提供了 1 个奇偶校验位和 4 个 CRC 校验位。MS913/914 芯片组检查前向和反向通道串行连接的错误，并将检测到的错误个数存储在串化器和解串器各自的两个 8 位寄存器中。

为了检查前向通道上的奇偶错误，查看解串器的寄存器 0x1A 和 0x1B。如果失去 LOCK 信号，寄存器 0x1A 和 0x1B 上的计数器将重置。只要前向通道上出现奇偶错误，PASS 管脚将变低。

为了检查反向通道上的 CRC 错误，查看串化器的寄存器 0x0A 和 0x0B。

1.11 双向控制总线和 I²C 描述

I²C 接口允许通过双向控制通道对 MS913, MS914, 或外部远程器件（例如图像传感器）进行编程。到/从 MS913/MS914 的寄存器编程操作通过时钟线 (SCL) 和数据线 (SDA) 实现。这个两个信号有漏极开路 I/O 口且必须通过一个外部电阻上拉到 VDDIO。当 SCL 和 SDA 线没有被驱动为低电平时，它们需要上拉电阻或电流源将其上拉到高电平。逻辑高电平通过释放输出端实现传输且允许它被外部上拉。恰当的上拉电阻值依赖于全部的总线电容和工作速率。根据 I²C 快速模式的指标，MS913/MS914 的 I²C 总线数据支持高达 400kps 的传输速率。

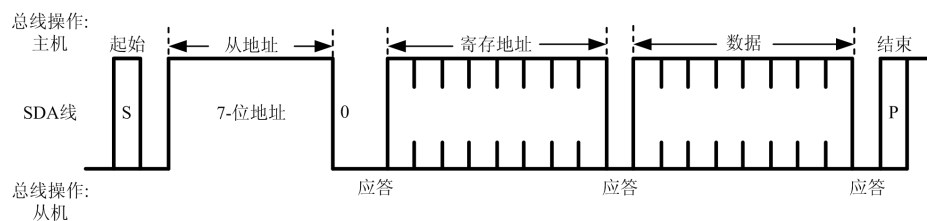


图 29. 写字节

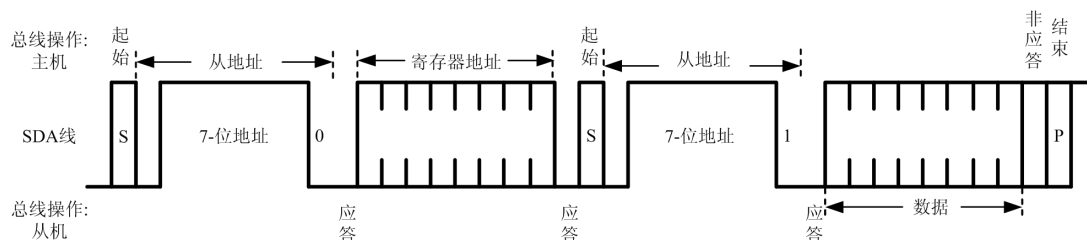


图 30. 读字节

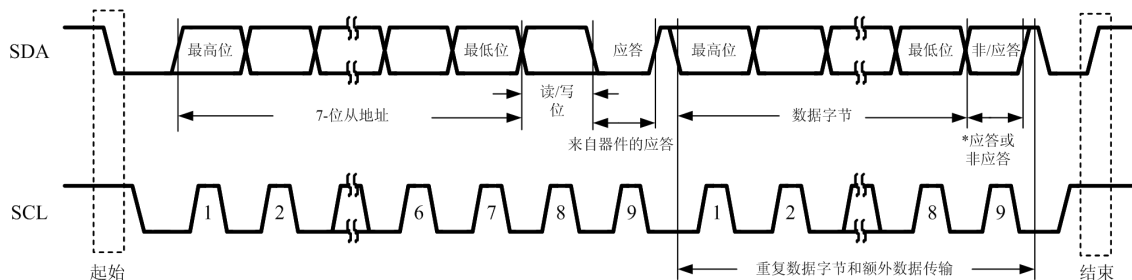


图 31. 基本操作

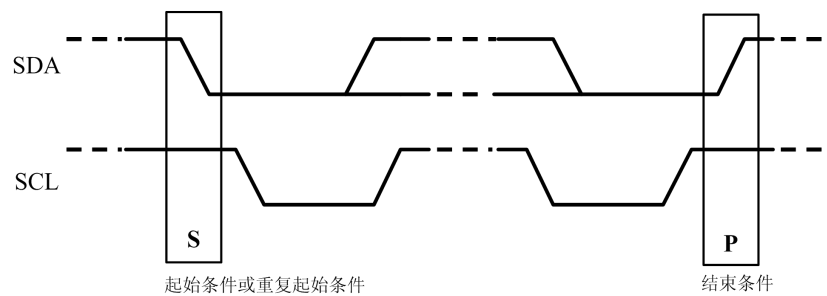


图 32. 起始条件和停止条件

1.12 从时钟延伸

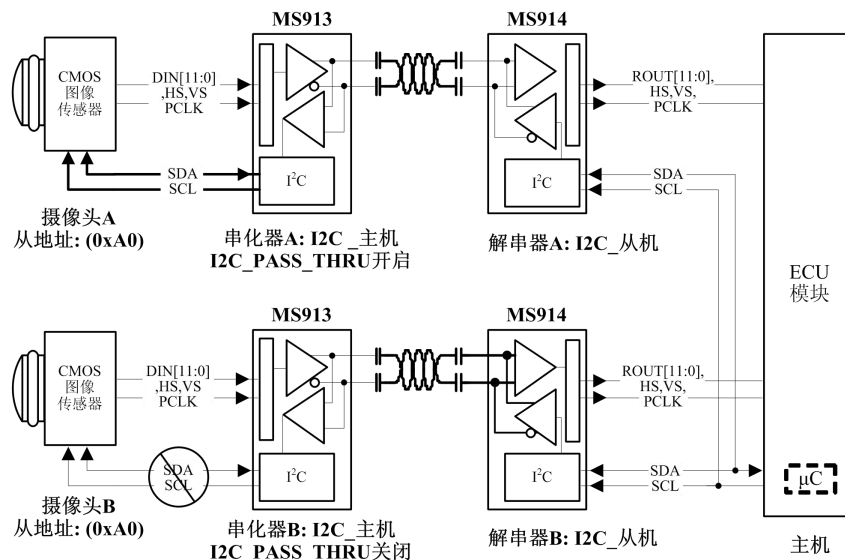
I²C 接口允许通过双向控制通道对 MS913, MS914, 或外部远程器件（例如图像传感器）进行编程。为了实现通过双向控制通道/MCU 在 I²C 总线上与远程器件的通信和同步，芯片组在数据传输期间使用了总线时钟延伸（保持 SCL 低电平）；此时 I²C 从器件会在每个 I²C 转换 (ACK 信号前) 的第 9 个时钟周期将 SCL 拉低。从器件不会控制时钟且仅对它延伸直到远程外设响应。为了能够与 MS913/MS914 芯片组工作，I²C 主机必须支持时钟延伸。

1.13 I²C 通过

I²C 通过为独立寻址从器件提供了可选择的方式。该模式可使能或禁止 I²C 双向控制通道与远程 I²C 总线的通信。这种选择用于决定一个 I²C 指令是否被传输到远程 I²C 器件。使能时，I²C 总线通信将继续通过，I²C 指令会被远程 I²C 设备排除。I²C 通过功能也能够与远程总线上指定的器件访问和通信。

详见图 33 中该功能的一个示例。

若主机传输 I²C 指令到地址 0xA0, 使能 I²C 通过的串化器 A 将传输 I²C 指令到远程摄像机 A。串化器 B 禁止 I²C 通过, 任何其他 I²C 命令将不会被 I²C 总线传输到摄像机 B。

图 33. I²C 通过

1.14 串化器 ID[x] 地址解码器

串化器上的 ID[x] 管脚用于解码和设置串化器 (仅 I²C) 的物理从地址，从而允许总线上多达 5 个器件通过一个管脚连接到串化器。该管脚为每个串化器设置 5 个可选择的地址。管脚必须通过

接一个 $10k\Omega$ 的上拉电阻到 V_{DD} (1.8V, 不是 V_{DDIO}) 和一个推荐值的下拉电阻 (R_{ID}) 去设置器件物理地址。推荐的最大电阻误差为 1%。

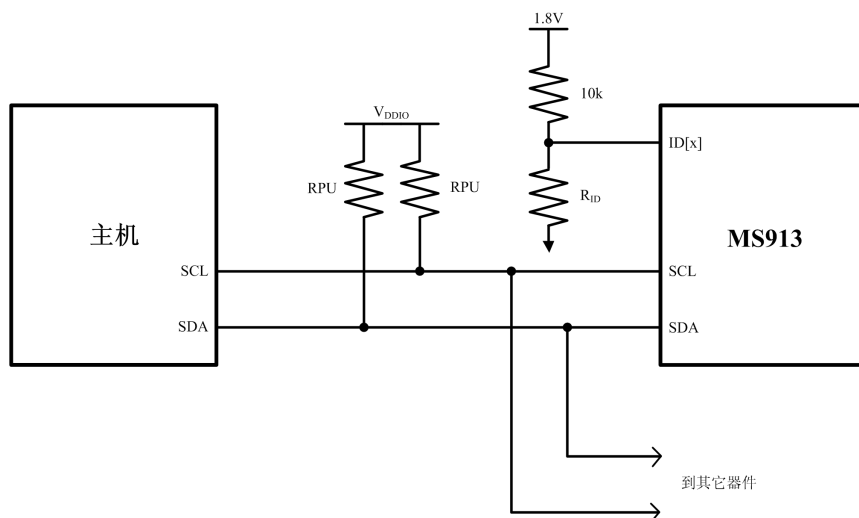


图 34. 串化器 ID[x] 地址解码器

表 7. MS913 串化器上 ID[x] 的电阻值

MS913 串化器上 ID[x] 电阻值		
R_{ID} 电阻值 (1%误差)	7 位地址	附加 0 的 8 位地址 (写)
$0k\Omega$	0x58	0xB0
$2k\Omega$	0x59	0xB2
$4.7k\Omega$	0x5A	0xB4
$8.2k\Omega$	0x5B	0xB6
$14k\Omega$	0x5C	0xB8
$100k\Omega$	0x5D	0xBA

1.15 解串器 ID[x] 地址解码器

解串器上的 $IDx[0]$ 和 $IDx[1]$ 管脚用于解码和设置解串器 (仅 I^2C) 的物理从地址，从而允许通过 2 个管脚使得总线上可存在多达 16 个器件。该管脚为每个解串器设置 16 个可选择的地址。和串化器 MS913 相比，由于有更多的解串器连接到同样的板子上，因此更多的 I^2C 地址定义给了解串器 MS914。管脚必须通过接一个 $10k\Omega$ 的上拉电阻到 V_{DD} (1.8V, 不是 V_{DDIO}) 和一个推荐值的下拉电阻 (R_{ID}) 去设置器件物理地址。推荐的最大电阻误差为 1%。

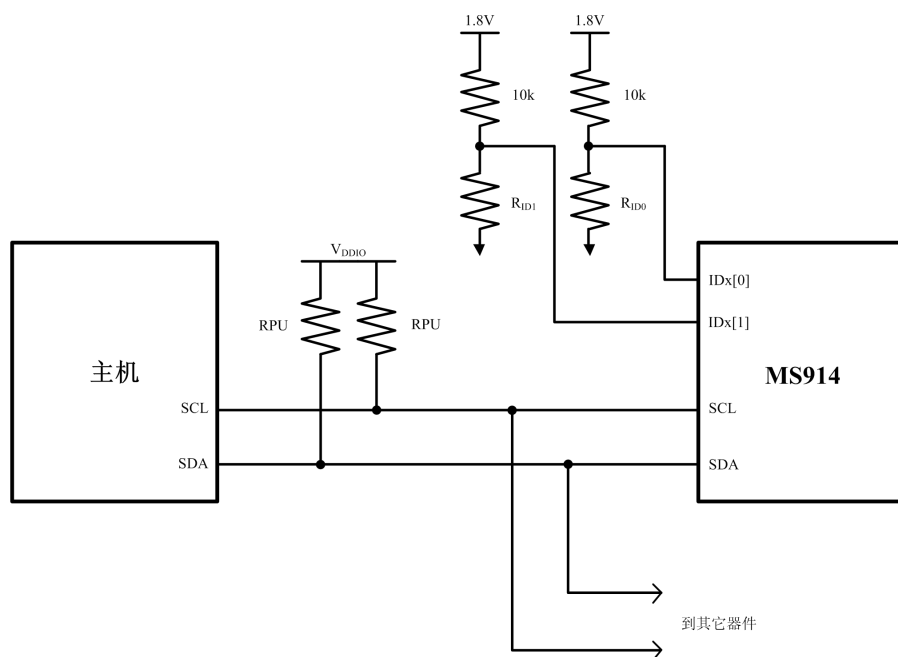


图 35. 解串器 ID[x] 地址解码器

表 8. MS914 解串器上 IDx[0]和 IDx[1]的电阻值

MS914 解串器上 ID[x] 电阻值			
R _{ID1} 电阻值 (1%误差)	R _{ID2} 电阻值 (1%误差)	7 位地址	附加 0 的 8 位地址 (写)
0kΩ	0kΩ	0x60	0xC0
0kΩ	3kΩ	0x61	0xC2
0kΩ	11kΩ	0x62	0xC4
0kΩ	100kΩ	0x63	0xC6
3kΩ	0kΩ	0x64	0xC8
3kΩ	3kΩ	0x65	0xCA
3kΩ	11kΩ	0x66	0xCC
3kΩ	100kΩ	0x67	0xCE
11kΩ	0kΩ	0x68	0xD0
11kΩ	3kΩ	0x69	0xD2
11kΩ	11kΩ	0x6A	0xD4
11kΩ	100kΩ	0x6B	0xD6
100kΩ	0kΩ	0x6C	0xD8
100kΩ	3kΩ	0x6D	0xDA
100kΩ	11kΩ	0x6E	0xDC
100kΩ	100kΩ	0x6F	0xDE

1.16 数据恢复时钟状态标志 (LOCK)，输出使能 (OEN) 和输出状态选择 (OSS_SEL)

当 PDB 接高电平，解串器 CDR 的 PLL 开始与串行输入锁定，且 LOCK 是三态或低电平（取决于 OEN 选择的值）。当 MS914 相位锁定后，LOCK 脚输出高电平，指示并行总线和 PCLK 脚输出的

数据和从串行输入恢复出来的时钟有效。输出端的状态基于 OEN 和 OSS_SEL 的设置（表 9）。

表 9. 输出状态

输入				输出			
串行输入	PDB	OEN	OSS	LOCK	Pass	DATA,GPIO,I2S	CLK
X	0	X	X	Z	Z	Z	Z
X	1	0	0	L 或 H	L	L	L
X	1	0	1	L 或 H	Z	Z	Z
Static	1	1	0	L	L	L	L/OSC(寄存器位使能)
Static	1	1	1	H	之前状态	L	L
Active	1	1	0	H	L	L	L
Active	1	1	1	H	有效	有效	有效

1.17 可编程控制器

一个集成的 I²C 从控制器被嵌入到串化器 MS913 和解串器 MS914 中。它用来配置另外的内嵌有可编程寄存器的元件或用于控制可编程 GPIO 的设置。

1.18 多路器件寻址

某些应用要求能够在同一 I²C 总线上利用相同的固定地址去访问多个摄像机器件。当在同一总线上连接超过两个相同器件时，MS913/914 提供了从 ID 匹配/混淆从而产生不同的目标从器件地址。这样从器件就能被独立寻址。通过对解串器上的 SLAVE_ID_MATCH 寄存器编程，每个连接到总线的器件都可通过唯一的 ID 寻址。SLAVE_ID_MATCH 地址会重新映射到 SLAVE_ID_INDEX 目标地址；且支持多达 8 个 ID 指针。为了正确寻址目标器件，ECU 控制器必须追踪 I²C 外设列表。

详见图 36 中该功能的一个示例。

- ECU 作为 I²C 主机且有一个 I²C 主机接口
- DES A 和 DES B 上的 I²C 接口都是从机接口
- I²C 协议通过 DES A 到 SER A 和 DES B 到 SER B 的桥接
- SER A 和 SER B 上的 I²C 接口都是主机接口

如果主机控制器传输 I²C 从器件 0xA0，地址为 0xC0 的 DES A 将指令传递到远程摄像机 A。如果主机控制器传输从器件地址 0xA4，地址为 0xC2 的 DES B 将识别 0xA4 被映射到 0xA0 且被传输到远程摄像机 B。如果控制器发送指令到地址 0xA6，地址为 0xC2 的 DES B 将指令传递到从器件 0xA2。

从 ID 指针/匹配仅支持摄像机模式（SER: MODE pin=L; EDS: MODE pin=H）。在显示模式下（SER: MODE pin=H; EDS: MODE pin=L）多路器件的寻址，使用 I²C 通过功能。

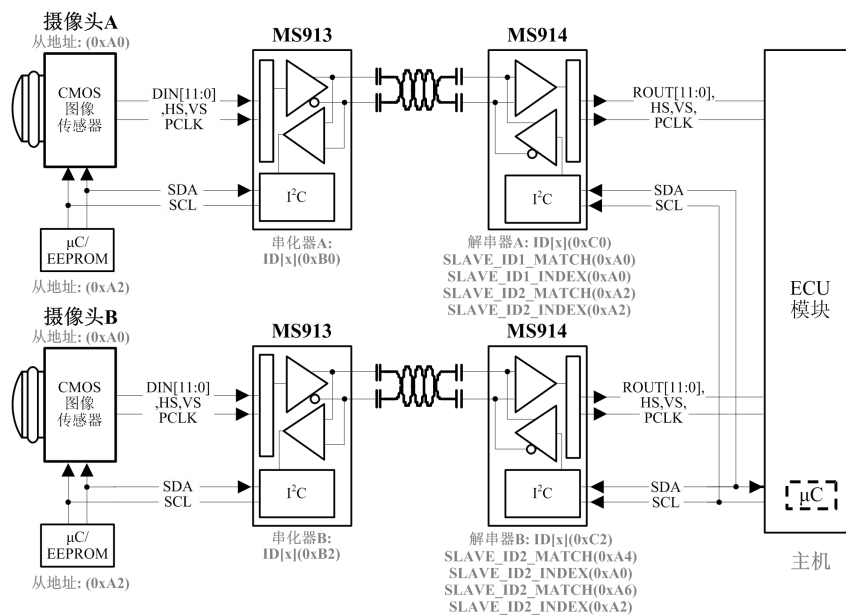


图 36. 多路器件寻址

1.19 同步的多路摄像机

对于需要多个摄像机实现帧同步的应用，推荐使用通用输入/输出（GPIO）管脚去传输控制信号以同步多个摄像机。为了正确同步摄像机，系统控制器要提供一个字段 sync 输出（比如一个列或者帧同步信号）和摄像机必须设置能接收一个辅助的 sync 输入。列同步信号对应于一个帧的开始和结束及一个字段的开始和结束。注意这种同步时序关系的方式存在一个不确定的等待时间。控制数据在双向控制通道中重组后，到达不同目标器件的 GPIO 信号有时序变量（在并行线路之间）。GPIO 数据通过多个线路传输的最大等待时间差（ t_1 ）为 $25\mu\text{s}$ 。

注意：用户必须验证不同线路间的时序变量在系统和时序要求内。

详见图 37 中该功能的一个示例。

到达摄像机 A 和摄像机 B 的 GPIO 上升沿之间最大的时间（ t_1 ）为 $25\mu\text{s}$ 。

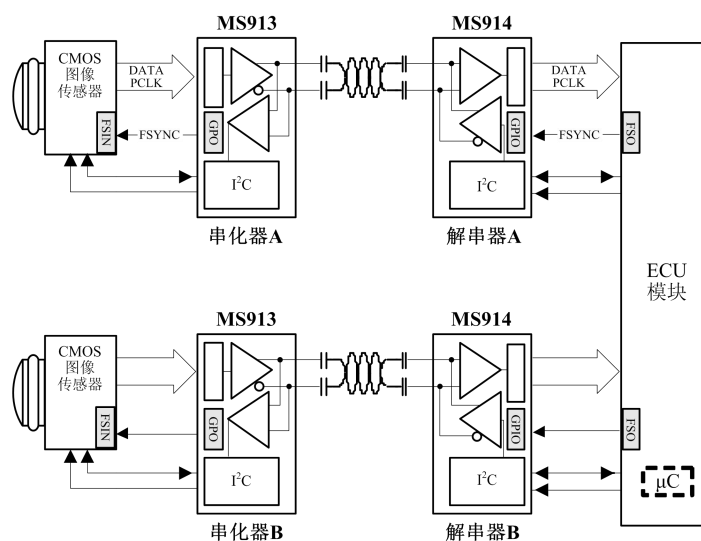


图 37. 同步多路摄像机

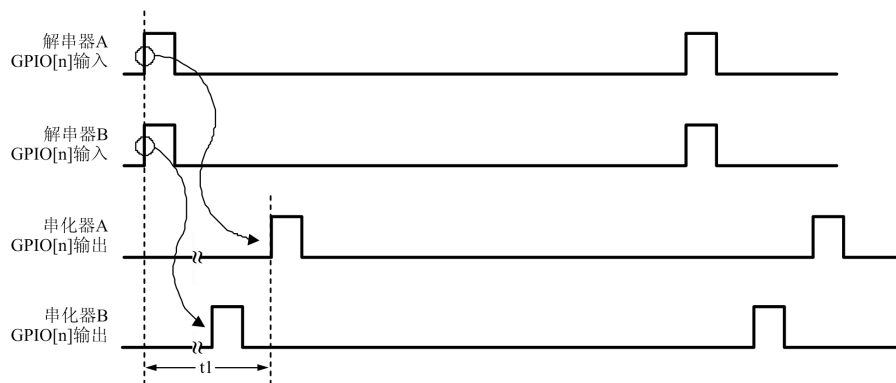


图 38. GPIO 恢复时间

1.20 通用 I/O (GPIO) 描述

当 MS913/914 芯片组使用来自成像器的像素时钟作为参考时钟源时，串化器上有 4 个 GP0，解串器上有 4 个 GPIO。串化器上的 GP0 可配置为输出端，输出来自解串器 GPIO 的输入信号。此外，串化器上的 GP0 可作为串化器本地寄存器的输出端。解串器上的 GPIO 可配置为输入端，输入串化器 GP0 输出的输入信号。此外，解串器上的 GPIO 可配置为解串器本地寄存器的输出端。假如 MS913/914 芯片组使用外部振荡器作为参考时钟源时，串化器的 GP03 自动配置为外部时钟的输入端且串化器的 GP02 配置为 2 分频时钟的输出端，输出到成像器作为它的参考时钟。在这种情况下，解串器的 GPIO2 和 GPIO3 仅可作为解串器本地寄存器的输出端。当被配置为解串器 GPIO 到串化器 GP0 之间的通信时，GPIO 最大的切换速率高达 66kHz。

1.21 LVCMOS VDDIO 选项

1.8V/2.8V/3.3V 的串化器输入和 1.8V/3.3V 的解串器输出，用户可进行配置以兼容 1.8V，2.8V，3.3V 的系统接口。

1.22 解串器-自适应输入均衡 (AEQ)

接收器包含了一个自适应输入均衡滤波器用来补偿传输介质的损失。均衡器的补偿程度也可通过电阻控制来手动选择。自适应均衡器的所有输出可通过解串器的 CMLOUTP/CMLOUTN 观察。

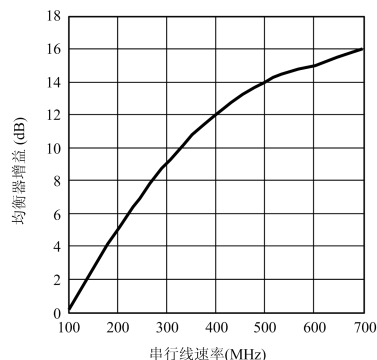


图 39. 均衡器最大增益 vs 线速率

1.23 降低 EMI

1.23.1 解串器交错输出

接收器交叉输出转换的目的是提供一个在定义窗内随机分布的转换。输出转换是随机分布的。这最小化了自发的输出转换个数且有助于减少电压噪声。另外，它展宽了噪声频谱减少了全部的 EMI。

1.23.2 解串器扩频时钟生成器 (SSCG)

MS914 的并行数据和时钟输出存在 25MHz 到 100MHz 的可编程 SSCG 范围。调制速率和输出展宽的调制频率变量通过 MS914 上的 SSC 控制寄存器控制。SSC 可通过解串器的寄存器 0x02 的[3:0]位产生。

1.24 掉电

SER 有一个 PDB 输入管脚来使器件激活或断电（睡眠）。该模式由主机控制且当远程器件不工作时断开线路以节约功耗。在该模式下，当 PCLK 停止时，如果 PDB 管脚接高电平，SER 将进入睡眠状态。当 PCLK 重新开始，SER 将锁定为有效的输入 PCLK 且传输数据到 DES。在睡眠模式，高速驱动器输出为静态（高电平）。DES 有一个 PDB 输入管脚来使器件激活或断电（睡眠）。该管脚由系统控制且可用于关闭 DES 以节约功耗。自动模式也是有效的。在此模式下，当串行数据流停止时，PDB 脚接高电平，DES 将进入睡眠状态。当串行数据流重新开始后，DES 将锁定为输入数据流且保持 LOCK 脚和输出有效数据。在睡眠模式，通过 OSS_SEL 设置数据和 PCLK 输出。

1.25 像素时钟沿选择

TRFB/RRFB 用于选择使用哪个像素时钟沿。对于 SER，这个寄存器决定了数据的锁定沿。如果 TRFB 寄存器为 1，数据在 PCLK 上升沿锁定。如果 TRFB 寄存器为 0，数据在 PCLK 下降沿锁定。对于 DES，这个寄存器决定了数据的选通沿。如果 RRFB 寄存器为 1，数据在 PCLK 上升沿选通。如果 RRFB 寄存器为 0，数据在 PCLK 下降沿选通。

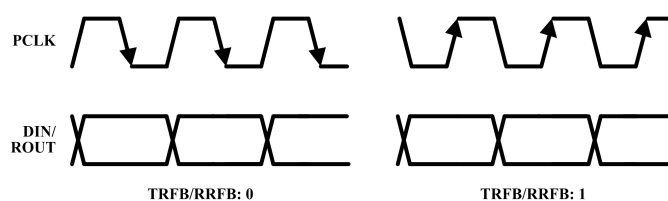


图 40. 可编程 PCLK 选通沿选择

1.26 上电要求和 PDB 管脚

要求在电源电压 VDD (VDDn 和 VDDIO) 达到推荐的工作电压后延迟和释放 PDB 信号。为了确保在所有的 VDD 稳定后 PDB 才到达，PDB 管脚连接了一个外部 RC 网络。

1.27 内建自测

一个可选择速率的内建自测 (BIST) 单元支持高速串行线路和低速反向通道的测试。可用于初始阶段，设备生产和系统内测及系统诊断。

1.28 BIST 配置和状态

利用管脚或寄存器可使芯片组进入 BIST 模式。通过控制管脚实现默认 BIST 配置。BIST 通过 BIST 控制寄存器 (0x24) 来配置。配置管脚如下：

- BISTEN：激活 BIST 进程
- GPIO0 和 GPIO1：定义 BIST 时钟源（PCLK vs. 不同的内部 OSC 频率）

表 10. BIST 配置

解串器 GPIO[0:1]	振荡器时钟源	BIST 频率 (MHz)
00	外部 PCLK	PCLK 或外部振荡器
01	内部	50
10	内部	25

BIST 模式为 PCLK 源提供了不同的选择。利用外部引脚 GPIO0 和 GPIO1 或寄存器，用户可使用外部 PCLK 或各种 OSC 频率来编程 BIST 模式。BIST 状态能够实时监控 PASS 脚。对于每个存在错误的帧，PASS 引脚触发半个 PCLK 周期低电平。如果相邻两个帧存在错误，PCLK 将触发双倍的

时间去计数帧的错误。一旦 BIST 完成，PASS 脚反映最后 BIST 运行的通过/失败状态。利用 I²C 读取这个状态可以得到帧的错误个数。PASS 脚上的 BIST 状态会一直保持到它被新的 BIST 任务改变或复位。在 BISTEN 失去声明 RX 失去 LOCK 后，PASS 脚上的 BIST 状态将丢失。为了评估外部振荡器模式下的 BIST，外部振荡器和 PCLK 都要显示出来。

在 BISTEN 失去声明 RX 失去 LOCK 后，PASS 脚上的 BIST 状态将丢失。因此为了所有实际的目的，BIST 状态可用寄存器 0x25 监视，即解串器 MS914 上的 BIST 错误计数。为了评估外部振荡器模式下的 BIST，外部振荡器和 PCLK 都要显示出来。

1.29 BIST 操作步骤

步骤 1. 对于 MS913/914 平面显示链路 III 芯片组，BIST 模式通过 MS914 平面显示链路 III 解串器的 BISTEN 脚激活。需要的时钟源利用表 10 中 GPIO0 和 GPIO1 脚选择。

步骤 2. 串化器 MS913 如果还没开启则可通过反向通道唤醒。数据脚上的 SS0 方式通过平面显示链路 III 发送到解串器。一旦串化器和解串器处于 BIST 模式且解串器锁定，解串器的 PASS 脚将变高电平，BIST 开始检查数据流。如果有效负载中检测到了一个错误，PASS 脚将切换到低电平半个时钟周期。在 BIST 测试阶段，通过监测和统计 PASS 脚的输出来判定有效负载的错误率。

步骤 3. 为了结束 BIST 模式，将解串器的 BISTEN 脚设为低电平。解串器停止检查数据。最后的测试结果不能保持在 PASS 脚上。为了监视 BIST 状态，检查解串器上的 BIST 错误计数寄存器，0x25。

步骤 4. 解串器的 BISTEN 脚为低电平后，线路恢复到正常工作。图 42 显示了一个典型的 BIST 测试在两种情况下的波形图。第一种情况无错误的，第二种情况显示了多个错误中的一种。在大多数情况下，由于线路(差分数据传输等)非常可靠很难产生错误，因此非常长的电缆长度，互连故障或信号衰减(Rx 均衡器)可能会引入误差。

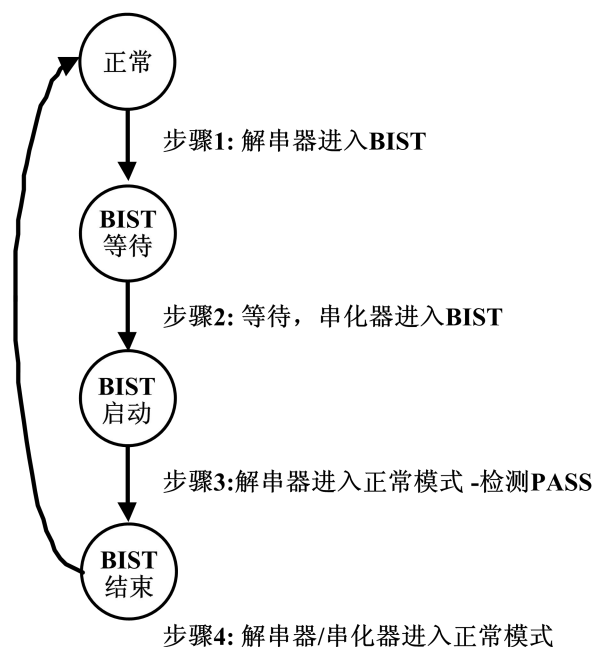


图 41. BIST 流程图

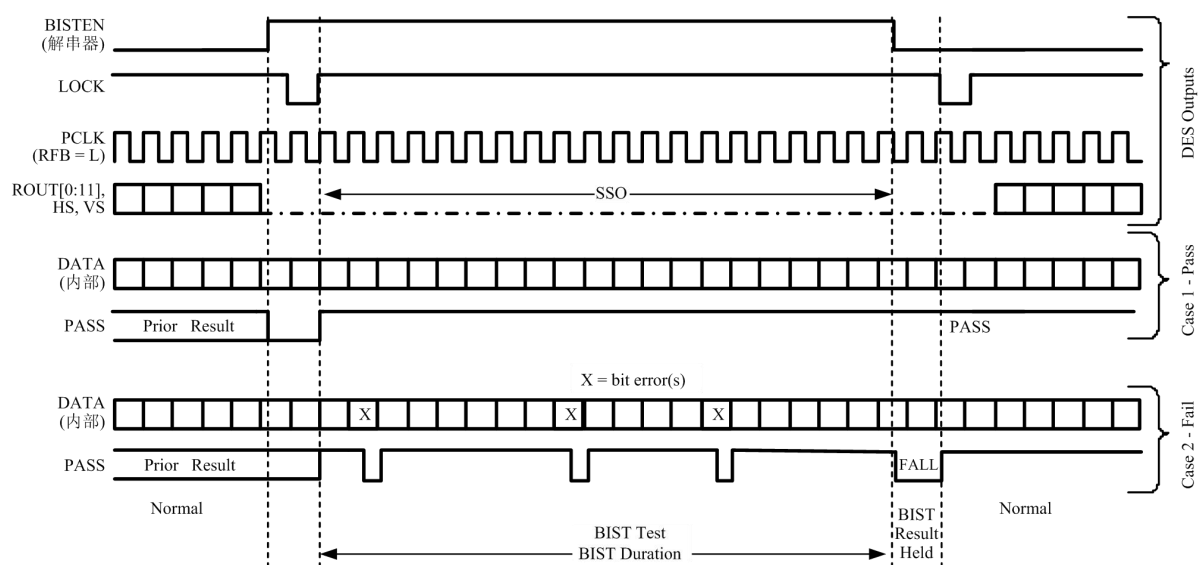


图 42. BIST 时序图

应用信息

2.1 AC 耦合

SER/DES 仅支持通过一个集成的 DC 平衡解码方案实现的 AC 耦合互连。外部的 AC 耦合电容必须放置在图 43 显示的平面显示链路 III 信号路径序列中。

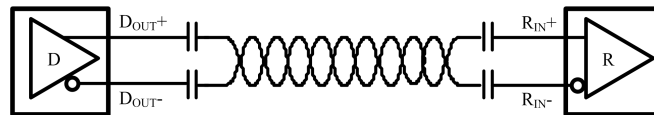


图 43. AC 耦合连接

对于高速平面显示链路 III 传输，AC 耦合电容应该使用最小的可用封装。这将有助于减少由封装电容引起的信号质量的衰减。

2.1 自适应均衡器-损失补偿

自适应均衡器用于补偿由互连部分差分插入损失引起的信号衰减。由于均衡器的增益有限，因此可补偿的损失是有限的。另外，并串转换器的最下 VOD 和串并转换器的输入阈值 (Vswing) 之间的差定义了内在的损失容忍度。为了确定最长的电缆长度，抖动，ISI，串扰等影响信号的完整性的其他因素要考虑进来。图 44 阐述了自适应均衡器设置为最大增益时的可允许的最大互连损失（“914 均衡器增益”）。

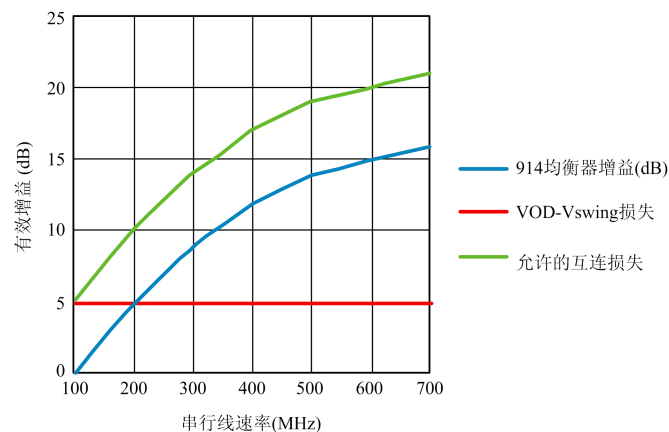


图 44. 自适应均衡器-互连损失补偿

图 45 显示了 MS913 串化器的典型连接

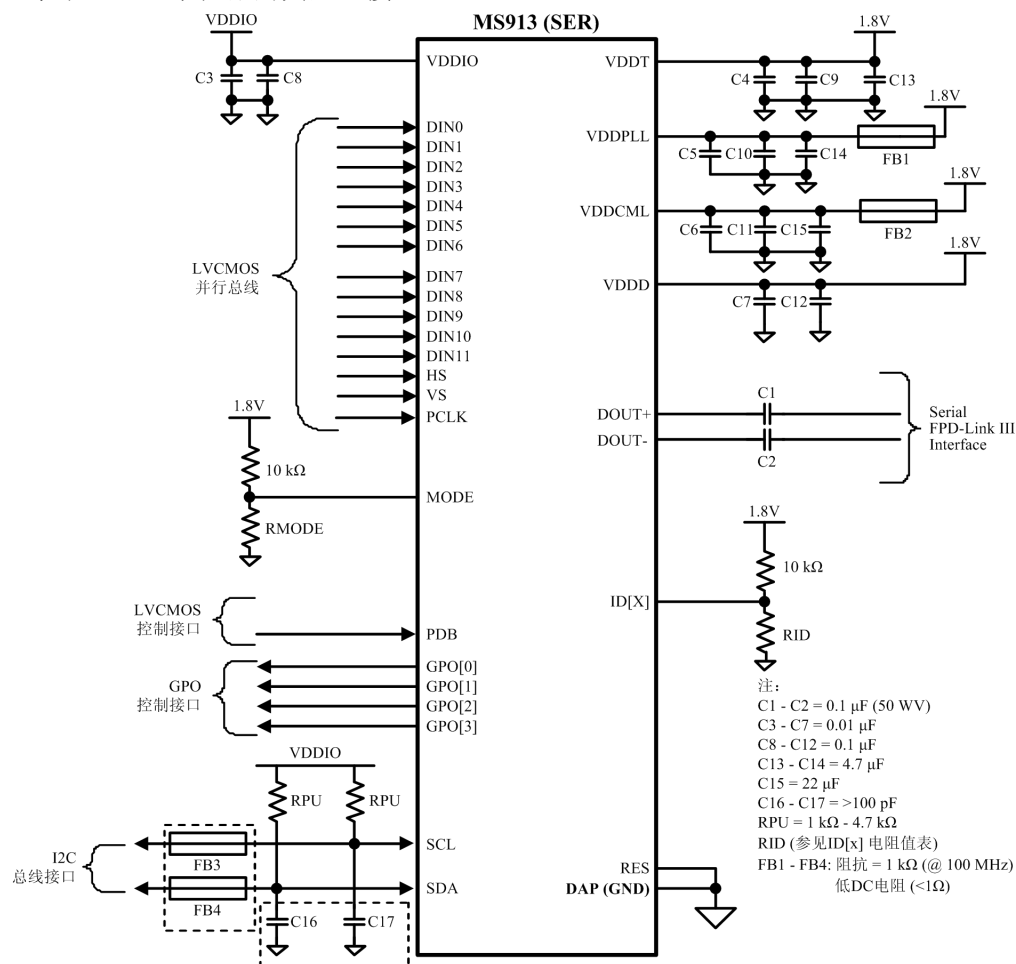


图 45. MS913 典型连接图-管脚控制

图 46 显示了 MS914 解串器的典型连接

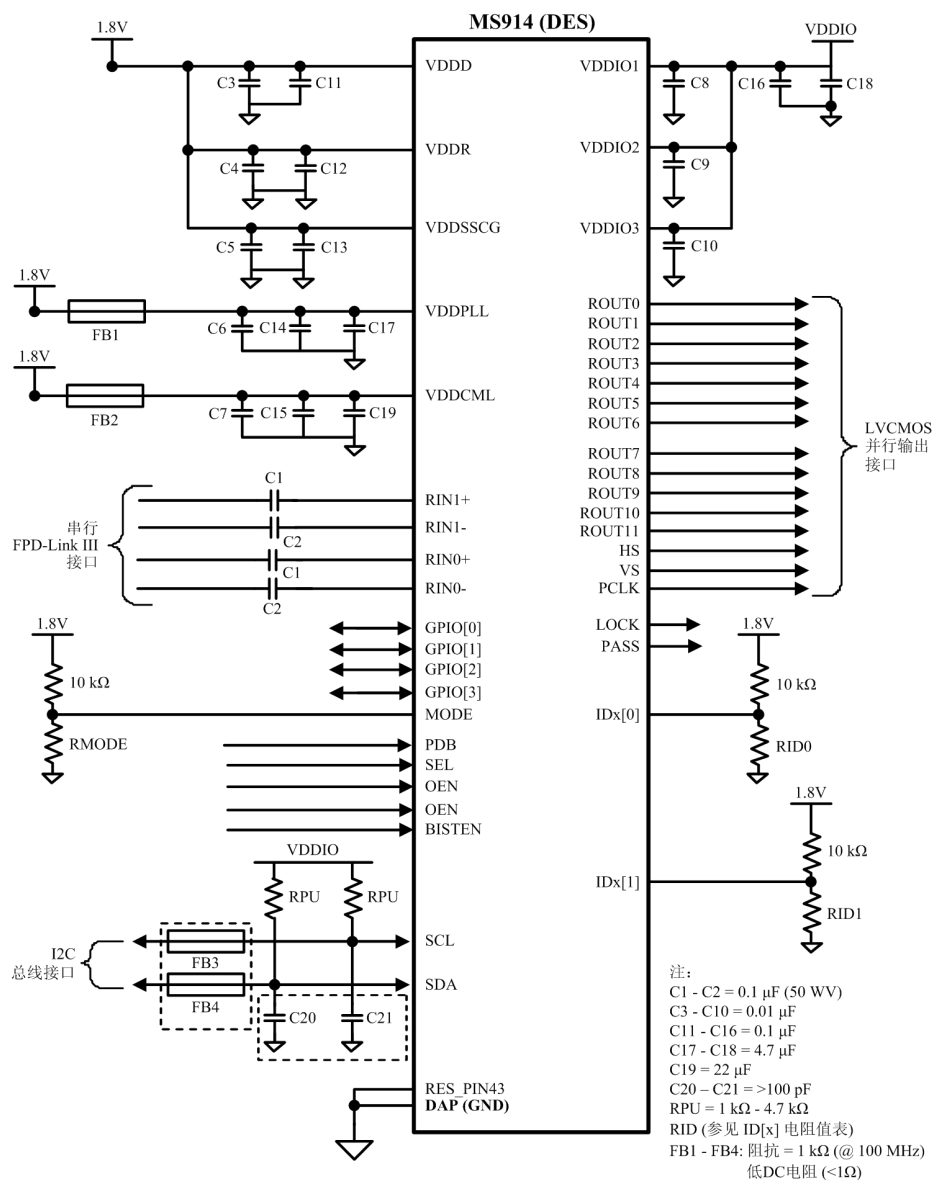
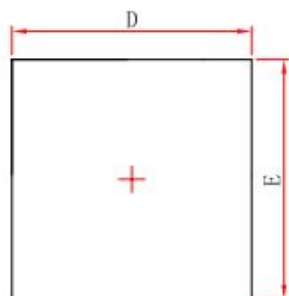


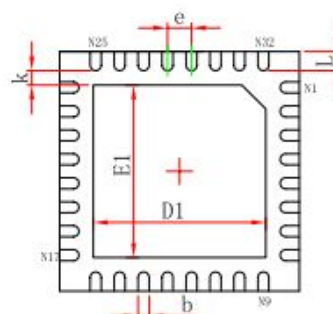
图 46. MS914 典型连接图-管脚控制

封装外形图-MS913

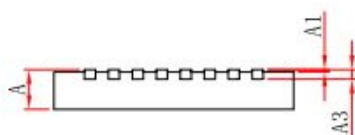
WQFN32



Top View



Bottom View

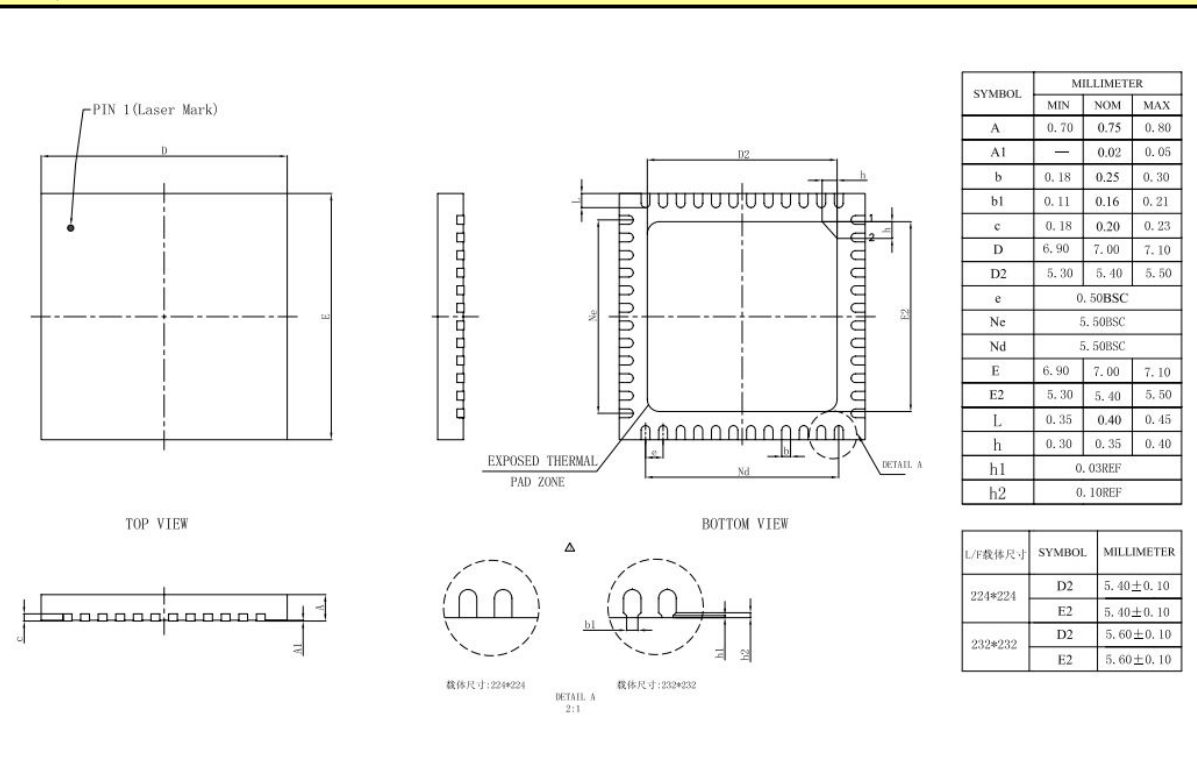


Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.924	5.076	0.194	0.200
E	4.924	5.076	0.194	0.200
D1	3.300	3.500	0.130	0.138
E1	3.300	3.500	0.130	0.138
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019

封装外形图-MS914

WQFN48



MOS电路操作注意事项:

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。